



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0103093
(43) 공개일자 2018년09월18일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2006.01) H01L 23/00 (2006.01)
H01L 33/20 (2010.01) H01L 33/36 (2010.01)
H01L 33/62 (2010.01)
(52) CPC특허분류
H01L 25/0753 (2013.01)
H01L 24/13 (2013.01)
(21) 출원번호 10-2018-7022743
(22) 출원일자(국제) 2017년02월10일
심사청구일자 2018년08월07일
(85) 번역문제출일자 2018년08월07일
(86) 국제출원번호 PCT/US2017/017532
(87) 국제공개번호 WO 2017/142817
국제공개일자 2017년08월24일
(30) 우선권주장
62/297,113 2016년02월18일 미국(US)

(71) 출원인
애플 인크.
미국 캘리포니아 (우편번호 95014) 쿠퍼티노 원
애플 파크 웨이
(72) 발명자
후, 신-후아
미국 95014 캘리포니아주 쿠퍼티노 메일 스타
34-4 에이치더블유티 노스 탄타우 애비뉴 10335
최, 재인
미국 95014 캘리포니아주 쿠퍼티노 메일 스타
93-1피피오 스티븐스 크릭 블러바드 19339
(뒷면에 계속)
(74) 대리인
장덕순, 백만기

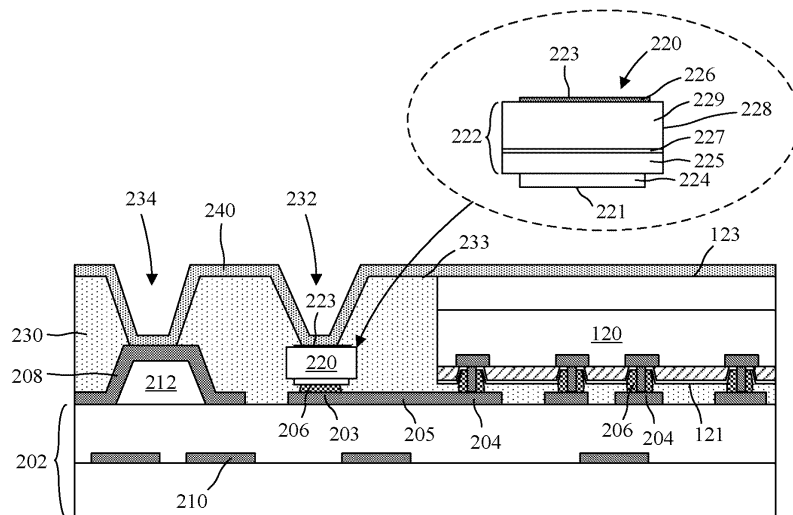
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 마이크로드라이버 및 마이크로 LED에 대한 백플레인 구조 및 프로세스

(57) 요약

마이크로 LED 및 마이크로드라이버 칩 집적 방식들이 설명된다. 일 실시예에서, 마이크로드라이버 칩은 마이크로드라이버 칩의 바닥 표면에 형성된 복수의 트렌치들을 포함하고, 각각의 트렌치는 마이크로드라이버 칩 본체의 바닥 표면 아래에서 확장되는 전도성 스테드를 둘러싼다. 디스플레이 기판에 본딩되고 마이크로드라이버 칩에 인접한 마이크로 LED들 및 전도성 단자 접촉부들에 대한 전기적 연결을 제공하기 위한 집적 방식들이 추가적으로 설명된다.

대표도 - 도16



(52) CPC특허분류

H01L 33/20 (2013.01)

H01L 33/36 (2013.01)

H01L 33/62 (2013.01)

(72) 발명자

페더, 제임스 이.

미국 94086 캘리포니아주 서니베일 메일 스탓 93-4디 카이퍼 로드 1324

비타, 이온

미국 95014 캘리포니아주 쿠파티노 메일 스탓 991-에스비01 인피니트 루프 1

탕, 하이룽

미국 95014 캘리포니아주 쿠파티노 메일 스탓 93-1피피오 스티븐스 크리크 블러바드 19339

수, 친 웨이

대만 32542 타이완 타오위안 메일 스탓 9150-티더블유 룡위안 10번 로드 넘버 55

칼라사니, 산디프

미국 95014 캘리포니아주 쿠파티노 메일 스탓 93-1피피오 스티븐스 크리크 블러바드 19339

천, 치-레이

대만 32542 타이완 타오위안 메일 스탓 9150-티더블유 룡위안 10번 로드 넘버 55

강, 성구

미국 95014 캘리포니아주 쿠파티노 메일 스탓 89-2피피오 인피니트 루프 1

오노, 신야

미국 95014 캘리포니아주 쿠파티노 메일 스탓 89-2피피오 인피니트 루프 1

후앙, 중 엔

대만 11047 타이완 타이페이 시티 메일 스탓 706-알이 신이 디스트릭트 송지 로드 넘버 1 19에이

차이, 룬

대만 11047 타이완 타이페이 시티 메일 스탓 706-알이 신이 디스트릭트 송지 로드 넘버 1 19에이

명세서

청구범위

청구항 1

칩으로서,

디바이스 층;

상기 디바이스 층 아래의 패시베이션 층 - 상기 패시베이션 층은 바닥 표면을 포함함 -;

상기 패시베이션 층의 복수의 트렌치들;

상기 복수의 트렌치들 내의 복수의 전도성 스테드들을 포함하고;

각각의 전도성 스테드는 상기 전도성 스테드와 대응하는 트렌치의 측벽들 사이에 저장조가 형성되도록 상기 대응하는 트렌치의 측벽들에 의해 둘러싸이고;

각각의 전도성 스테드는 상기 패시베이션 층의 바닥 표면 아래에 있는 바닥 표면을 포함하는, 칩.

청구항 2

제1항에 있어서, 랜딩 패드들의 어레이를 더 포함하고, 각각의 스테드는 랜딩 패드로부터 확장되는, 칩.

청구항 3

제2항에 있어서, 상기 패시베이션 층의 바닥 표면 상에 및 상기 복수의 트렌치들의 측벽들 상에 형성되는 배리어 층을 더 포함하는, 칩.

청구항 4

제3항에 있어서, 상기 배리어 층은 상기 복수의 랜딩 패드들 상에 형성되는, 칩.

청구항 5

제4항에 있어서, 상기 배리어 층은 상기 패시베이션 층보다 얇은, 칩.

청구항 6

디스플레이로서,

접촉 패드들의 어레이를 포함하는 디스플레이 기관;

상기 디스플레이 기관에 본딩되는 LED들의 어레이;

상기 디스플레이 기관에 본딩되는 칩들의 어레이를 포함하고,

각각의 칩은 하나 이상의 LED들에 전기적으로 연결되어 상기 하나 이상의 LED들을 구동시키고;

각각의 칩은,

복수의 트렌치들을 포함하는 패시베이션 층;

상기 복수의 트렌치들 내에 있고 상기 패시베이션 층의 바닥 표면 아래에서 확장되는 복수의 전도성 스테드들을 포함하고,

각각의 전도성 스테드는 대응하는 트렌치 내로 리플로우되는 솔더 재료로 접촉 패드에 본딩되는, 디스플레이.

청구항 7

제6항에 있어서,

상기 디스플레이 기관 상의 전도성 단자 라인들의 어레이;

상기 LED들의 어레이 상에서 그와 전기적으로 연결되고 상기 전도성 단자 라인들의 어레이 상에서 그와 전기적으로 연결되는 상단 접촉 층을 더 포함하는, 디스플레이.

청구항 8

제6항에 있어서,

상기 디스플레이 기판 상의 전도성 단자 포스트들의 어레이;

상기 LED들의 어레이 상에서 그와 전기적으로 연결되고 상기 전도성 단자 포스트들의 어레이 상에서 그와 전기적으로 연결되는 상단 접촉 층을 더 포함하는, 디스플레이.

청구항 9

제6항에 있어서,

상기 접촉 패드들의 어레이의 에지들을 커버하는 패터닝된 절연 층을 더 포함하고,

각각의 칩은 상기 패터닝된 절연 층의 대응하는 부분 바로 위에서 복수의 접촉 패드들에 본딩되는, 디스플레이.

청구항 10

디스플레이로서,

디스플레이 기판;

상기 디스플레이 기판 상의 복수의 접촉 패드들;

상기 복수의 접촉 패드들에 본딩되는 칩;

상기 칩에 인접한 बैं크 구조;

상기 복수의 접촉 패드들 중 하나를 상기 बैं크 구조의 상단에서 LED 접촉 패드에 전기적으로 연결하는 트레이스 라인;

상기 LED 접촉 패드에 본딩되는 LED를 포함하는, 디스플레이.

청구항 11

제10항에 있어서, 상기 트레이스 라인은 상기 बैं크 구조의 측벽을 따라 이어지는, 디스플레이.

청구항 12

제10항에 있어서,

상기 LED 및 상기 칩의 측벽들 주위의 패시베이션 충전 층; 및

상기 패시베이션 충전 층, 상기 LED 및 상기 칩 위에 걸쳐 있는 상단 접촉 층을 더 포함하고, 상기 상단 접촉 층은 상기 LED 및 전도성 단자 접촉부 상에서 그와 전기적으로 접촉하는, 디스플레이.

청구항 13

제12항에 있어서, 상기 बैं크 구조는 제1 बैं크 레벨, 및 상기 제1 बैं크 레벨 상의 제2 बैं크 레벨을 포함하고, 상기 전도성 단자 접촉부는 상기 제2 बैं크 레벨 상에 있는, 디스플레이.

청구항 14

제13항에 있어서, 상기 제2 बैं크 레벨은 상기 제1 बैं크 레벨과 일체형으로 형성되는, 디스플레이.

청구항 15

제12항에 있어서,

상기 전도성 단자 접촉부 위의 상기 패시베이션 충전 층의 개구를 더 포함하고;

상기 전도성 단자 접촉부는 상기 बैं크 구조 상에 있고, 상기 상단 접촉 층은 상기 패시베이션 충전 층의 개구의

측벽들을 따라 걸쳐 있는, 디스플레이.

청구항 16

제12항에 있어서,

상기 बैं크 구조에 측방향으로 인접한 제2 बैं크 구조;

상기 전도성 단자 접촉부 위의 상기 패시베이션 층의 개구를 더 포함하고;

상기 전도성 단자 접촉부는 상기 제2 बैं크 구조 상에 있고, 상기 상단 접촉 층은 상기 패시베이션 층의 개구의 측벽들을 따라 걸쳐 있는, 디스플레이.

청구항 17

제12항에 있어서,

상기 복수의 접촉 패드들의 에지들을 커버하는 패터닝된 절연 층을 더 포함하고,

상기 칩은 상기 패터닝된 절연 층의 일부 바로 위에서 상기 복수의 접촉 패드들에 본딩되는, 디스플레이.

청구항 18

제12항에 있어서, 상기 패시베이션 층의 층은 상단 표면 및 등각 바닥 표면을 포함하는, 디스플레이.

청구항 19

제18항에 있어서, 상기 등각 바닥 표면은 상기 बैं크 구조 상의 전도성 단자 접촉부의 토포그래피(topography)에 등각이고, 상기 트레이스 라인은 상기 복수의 접촉 패드들 중 하나를 상기 LED 접촉 패드에 전기적으로 연결하는, 디스플레이.

청구항 20

제12항에 있어서, 상기 칩은,

디바이스 층;

상기 디바이스 층 아래의 패시베이션 층 - 상기 패시베이션 층은 바닥 표면을 포함함 -;

상기 패시베이션 층의 복수의 트렌치들;

상기 복수의 트렌치들 내의 복수의 전도성 스테드들을 포함하고;

상기 복수의 트렌치들 내에 있고 상기 패시베이션 층의 바닥 표면 아래에서 확장되는 복수의 전도성 스테드들을 포함하고,

각각의 전도성 스테드는 대응하는 트렌치 내로 리플로우되는 솔더 재료로 접촉 패드에 본딩되는, 디스플레이.

발명의 설명

기술 분야

[0001] 본 명세서에 설명되는 실시예들은 디스플레이 백플레인들에 관한 것이다. 더 상세하게는, 실시예들은 마이크로 LED 디스플레이들에 대한 마이크로 디바이스 집적 기술들에 관한 것이다.

배경 기술

[0002] 전화들, 태블릿들, 컴퓨터들 및 텔레비전들을 위한 최신 디스플레이들은 액정에 기초하여 픽셀들을 통한 백라이트의 전송을 제어하기 위해 박막 트랜지스터(TFT)들을 갖는 유리 기판들을 활용한다. 보다 최근에, 더 전력 효율적이고, 흑색을 디스플레이하는 경우 각각의 픽셀이 완전히 턴 오프되도록 허용하는 유기 발광 다이오드(OLED)들에 기초한 것들과 같은 방출형 디스플레이들이 도입되어 왔다. 훨씬 더 최근에, 방출형 무기 반도체 기반 마이크로 LED들을 고해상도 디스플레이들에 통합하는 것이 제안되어 왔다. OLED들에 비해, 무기 반도체 기반 마이크로 LED들은 더 에너지 효율적일 수 있고, 또한 수명 저하 및 습기에 대한 극도의 감도를 겪지 않을

수 있다.

발명의 내용

- [0003] 실시예들은 마이크로드라이버 칩들 및 디스플레이 백플레인 집적 방식들을 설명한다. 일 실시예에서, 마이크로드라이버 칩은 디바이스 층 및 디바이스 층 아래의 패시베이션 층을 포함한다. 패시베이션 층은 바닥 표면을 포함한다. 복수의 트렌치들이 패시베이션 층에 형성되고, 복수의 전도성 스테드(stud)들이 복수의 트렌치들 내에 위치된다. 각각의 전도성 스테드는 패시베이션 층 아래의 랜딩(landing) 패드로부터 확장될 수 있다. 각각의 전도성 스테드는 전도성 스테드와 대응하는 트렌치의 측벽들 사이에 저장조가 형성되도록 그 대응하는 트렌치의 측벽들에 의해 둘러싸인다. 실시예들에 따르면, 각각의 전도성 스테드는 패시베이션 층의 바닥 표면 아래에 있는 바닥 표면을 포함한다.
- [0004] 배리어 층은 패시베이션 층의 바닥 표면 상에 및 복수의 트렌치들의 측벽들 상에 형성될 수 있다. 배리어 층은 또한 복수의 랜딩 패드들 상에 형성될 수 있다. 일 실시예에서, 배리어 층은 패시베이션 층보다 얇다.
- [0005] 일 실시예에서, 디스플레이 기판은 접착 패드들의 어레이를 포함한다. LED들의 어레이가 디스플레이 기판에 본딩되고, 칩들의 어레이가 디스플레이 기판에 본딩되고, 각각의 칩은 하나 이상의 LED들에 전기적으로 연결되어 하나 이상의 LED를 구동시킨다. 일 실시예에서, 각각의 칩은 복수의 트렌치들을 포함하는 패시베이션 층, 및 복수의 트렌치들 내에 있고 패시베이션 층의 바닥 표면 아래에서 확장되는 복수의 전도성 스테드들을 포함한다. 각각의 전도성 스테드는 대응하는 트렌치 내로 리플로우되는 솔더 재료로 접착 패드에 본딩된다. 일 실시예에서, 전도성 단자 라인들의 어레이는 디스플레이 기판 상에 있고, 상단 접착 층은 LED들의 어레이 상에서 그와 전기적으로 연결되고 전도성 단자 라인들의 어레이 상에서 그와 전기적으로 연결된다. 일 실시예에서, 전도성 단자 포스트들의 어레이는 디스플레이 기판 상에 있고, 상단 접착 층은 LED들의 어레이 상에서 그와 전기적으로 연결되고 전도성 단자 포스트들의 어레이 상에서 그와 전기적으로 연결된다. 패터닝된 절연 층은 접착 패드들의 어레이의 에지들을 추가적으로 커버할 수 있으며, 각각의 칩은 패터닝된 절연 층의 대응하는 부분의 바로 위에서 복수의 접착 패드들에 본딩된다.
- [0006] 일 실시예에서, 디스플레이는 디스플레이 기판, 디스플레이 기판 상의 복수의 접착 패드들, 복수의 접착 패드들에 본딩된 칩, 칩에 인접한 뱅크 구조, 복수의 접착 패드들 중 하나를 뱅크 구조의 상단 상에서 LED 접착 패드에 전기적으로 연결하는 트레이스 라인, 및 LED 접착 패드에 본딩되는 LED를 포함한다. 일 실시예에서, 트레이스 라인은 뱅크 구조의 측벽을 따라 이어진다. 패시베이션 층전 층은 LED 및 칩의 측벽들 주위에 있을 수 있고, 상단 접착 층은 패시베이션 층전 층, LED 및 칩 상에 걸쳐 있고, 상단 접착 층은 LED 및 전도성 단자 접착부 상에서 그와 전기적으로 접촉한다.
- [0007] 일 실시예에서, 뱅크 구조는 제1 뱅크 레벨 및 제1 뱅크 레벨 상의 제2 뱅크 레벨을 포함하고, 전도성 단자 접착부는 제2 뱅크 레벨 상에 있다. 제2 뱅크 레벨은 제1 뱅크 레벨과 일체형으로 형성될 수 있다.
- [0008] 일 실시예에서, 전도성 단자 접착부 위의 패시베이션 층전 층에 개구가 형성된다. 전도성 단자 접착부는 뱅크 구조 상에 있을 수 있고, 상단 접착 층은 패시베이션 층전 층의 개구의 측벽들을 따라 걸쳐 있다.
- [0009] 일 실시예에서, 제2 뱅크 구조는 뱅크 구조에 측방향으로 인접하다. 전도성 단자 접착부 위의 패시베이션 층전 층에 개구가 형성될 수 있다. 전도성 단자 접착부는 제2 뱅크 구조 상에 있을 수 있고, 상단 접착 층은 패시베이션 층전 층의 개구의 측벽들을 따라 걸쳐 있다.
- [0010] 실시예들에 따르면, 패터닝된 절연 층은 임의적으로 복수의 접착 패드들의 에지들을 커버할 수 있으며, 칩은 패터닝된 절연 층의 일부 바로 위에서 복수의 접착 패드들에 본딩된다. 실시예들에 따르면, 패시베이션 층전 층은 평탄한 상단 표면 및 등각 바닥 표면을 포함할 수 있다. 예를 들어, 바닥 표면은 뱅크 구조 상의 전도성 단자 접착부의 토포그래피(topography)에 등각이고, 트레이스 라인은 복수의 접착 패드들 중 하나를 LED 접착 패드에 전기적으로 연결할 수 있다. 실시예들에 따르면, 칩은 디바이스 층 및 디바이스 층 아래의 패시베이션 층을 포함할 수 있다. 복수의 트렌치들이 패시베이션 층에 있고, 복수의 전도성 스테드들이 복수의 트렌치들 내에 있어서, 복수의 전도성 스테드들은 패시베이션 층의 바닥 표면 아래에서 확장된다. 각각의 전도성 스테드는 대응하는 트렌치 내로 리플로우되는 솔더 재료로 대응하는 접착 패드에 본딩될 수 있다.

도면의 간단한 설명

- [0011] 도 1은 일 실시예에 따른 마이크로드라이버 칩의 사시도이다.

도 2 내지 도 10은 일 실시예에 따른 마이크로드라이버 칩들의 어레이를 제조하는 방법의 개략적 측단면도들이다.

도 11은 일 실시예에 따른 디스플레이 기관 위의 마이크로드라이버 칩의 개략적 측단면도이다.

도 12는 일 실시예에 따른 디스플레이 기관에 본딩된 마이크로드라이버 칩의 개략적 측단면도이다.

도 13 및 도 14는 일 실시예에 따른 마이크로드라이버 칩들 및 마이크로 LED들의 어레이를 포함하는 디스플레이 시스템들의 개략적 상면도들이다.

도 15는 일 실시예에 따른 디스플레이 기관 상에 마이크로 디바이스들을 집적하는 방법을 예시하는 흐름도이다.

도 16은 일 실시예에 따른 패터닝된 패시베이션 층전 층을 갖는 집적된 디스플레이 기관의 일부의 개략적 측단면도이다.

도 17 내지 도 20은 일 실시예에 따른 접촉 패드들의 어레이의 에지들을 커버하는 패터닝된 절연 층을 갖는 디스플레이 기관 상의 마이크로 디바이스들을 직접하는 개략적 측단면도들이다.

도 21은 일 실시예에 따른 디스플레이 기관 상에 마이크로 디바이스들을 집적하는 방법을 예시하는 흐름도이다.

도 22는 일 실시예에 따른 상승된 마이크로 LED를 갖는 집적된 디스플레이 기관의 일부의 개략적 측단면도이다.

도 23은 일 실시예에 따른 디스플레이 기관 상에 마이크로 디바이스들을 집적하는 방법을 예시하는 흐름도이다.

도 24는 일 실시예에 따른 상승된 마이크로 LED 및 패터닝된 패시베이션 층전 층을 갖는 집적된 디스플레이 기관의 일부의 개략적 측단면도이다.

도 25는 일 실시예에 따른 상승된 마이크로 LED 및 패터닝된 패시베이션 층전 층을 갖는 집적된 디스플레이 기관의 일부의 개략적 측단면도이다.

도 26은 일 실시예에 따른 상승된 마이크로 LED 및 기둥 구조를 갖는 집적된 디스플레이 기관의 일부의 개략적 측단면도이다.

도 27a는 일 실시예에 따른 마이크로드라이버 칩 및 상승된 마이크로 LED들을 포함하는 디스플레이 기관의 일부의 개략적 상면도이다.

도 27b는 일 실시예에 따른 도 27a의 라인 X-X를 따라 취해진 개략적 측단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012]

실시예들은 디스플레이 기관 상에 마이크로 LED들 및 마이크로 칩들을 집적하고 기능화하기 위한 다양한 방법들 및 구조들을 설명한다. 특히, 실시예들은 마이크로 LED들을 구동시키기 위한 회로를 포함하는 마이크로 칩들 (예를 들어 마이크로드라이버 칩들)에 인접한 마이크로 LED들의 집적 및 기능화에 관한 것이다. 실시예들에 따르면, 마이크로 LED들은 무기 반도체 기반 재료들로 형성될 수 있고, 1 내지 300 μm , 1 내지 100 μm , 1 내지 20 μm , 또는 보다 구체적으로는 1 내지 10 μm , 예를 들어 5 μm 의 측벽들 사이의 최대 측방향 치수들을 가질 수 있다. 실시예들에 따르면, 마이크로 LED들은 디스플레이 기관 상의 접촉 패드(예를 들어, 드라이버 패드)에 본딩되는 바닥 전극 및 상단 접촉 층에 의해 전도성 단자 구조와 전기적으로 연결되는 상단 전극을 포함하는 수직 LED들일 수 있다. 예를 들어, 전도성 단자 구조 및 대응하는 신호는 접지 라인 또는 일부 다른 저전압(V_{ss}) 또는 역 바이어스, 전원 평면 또는 일부 다른 고전압 레벨(V_{dd}), 전류 소스 출력 또는 전압 소스 출력일 수 있다. 실시예들에 따르면, 마이크로 칩들(예를 들어, 마이크로드라이버 칩들)은 1 내지 300 μm 의 최대 측방향 치수를 가질 수 있고, 마이크로 LED들의 픽셀 레이아웃 내에 맞춰질 수 있다. 실시예들에 따르면, 마이크로드라이버 칩들은 박막 트랜지스터(TFT) 기관 아키텍처에서 통상적으로 이용되는 것과 같은 각각의 디스플레이 엘리먼트에 대한 드라이버 트랜지스터들을 대체할 수 있다. 마이크로드라이버 칩들은 스위칭 트랜지스터들, 방출 제어 트랜지스터들 및 심지어 각각의 디스플레이 엘리먼트에 대한 저장 디바이스들과 같은 추가적인 회로를 포함할 수 있다. 마이크로드라이버 칩들은 디지털 회로, 아날로그 회로 또는 하이브리드 회로를 포함할 수 있다. 추가적으로, MOSFET 프로세싱 기술들은 종래의 디스플레이 백플레인 기관들에 대해 통상적으로 이용되는 비정질 실리콘 또는 저온 폴리 실리콘에 대한 TFT 프로세싱 기술들에 비해, 단결정 실리콘 상에서의 마이크로드라이버 칩들의 제조에 대해 사용될 수 있다.

[0013]

일 양태에서, 실시예들은 마이크로 칩이 디스플레이 기관에 대한 초 미세 피치 본딩에 대해 설계되는 마이크로

칩(예를 들어, 마이크로드라이버 칩) 집적 방식들을 설명한다. 실시예들에 따르면, 디스플레이 백플레인 기판으로부터 마이크로드라이버 칩들로 분담되는 회로의 증가된 양은 마이크로드라이버 칩이 디스플레이 기판과 갖는 접촉부들의 증가된 수를 초래한다. 또한, 접촉부들의 수는, 단일 마이크로드라이버 칩에 의해 구동되는 마이크로 LED들의 수가 증가함에 따라 증가한다. 예를 들어, 단일 마이크로드라이버 칩은 다수의 픽셀들 내의 하나 이상의 LED들을 구동할 수 있다. 예시적인 접촉부들은 마이크로 LED 드라이버 접촉부, Vdd, 전원, Vss, 접지, 데이터 신호 입력, 스캔 신호 입력, 방출 제어 신호 입력, 기준 전압/전류 등을 포함하지만 이에 제한되는 것은 아니다.

[0014] 하나의 예시적인 구현에서, 디스플레이는 적-녹-청(RGB) 픽셀 레이아웃을 포함한다. 예시의 방식으로, 이는 1920×1080 또는 2560×1600 해상도들과 호환가능할 수 있다. 이러한 RGB 배열에서, 각각의 픽셀은 적색 발광 서브픽셀, 녹색 발광 서브픽셀 및 청색 발광 서브픽셀을 포함한다. 그러나, 특정 해상도 및 RGB 색상 방식은 오직 설명을 위한 것이며, 실시예들은 이에 제한되지 않는다. 다른 예시적인 픽셀 배열들은 적색-녹색-청색-황색-청록색(RBGYC), 적색-녹색-청색-백색(RGBW), 또는 픽셀들이 상이한 수의 서브-픽셀들을 갖는 다른 서브-픽셀 행렬 방식들을 포함한다.

[0015] 예시의 방식으로, 각각의 서브픽셀은 수평 치수(x) 및 수직 치수(y)에 의해 특징지어 질 수 있다. RGB 색상 방식에 대한 다양한 예시적인 치수들은, 실시예들에 따른 잠재적인 정렬 허용오차들에 대한 기준을 제공하기 위해 오직 예시적인 목적으로 표 1에 제공된다.

[0016] [표 1]

픽셀 피치(x, y)	서브픽셀 피치(x, y)	인치당 픽셀(PPI)
(634 μm , 634 μm)	(211 μm , 634 μm)	40
(85 μm , 85 μm)	(28 μm , 85 μm)	299
(78 μm , 78 μm)	(26 μm , 78 μm)	326
(58 μm , 58 μm)	(19 μm , 58 μm)	440
(39 μm , 39 μm)	(13 μm , 39 μm)	652

[0017] 따라서, 표 1에 나타난 바와 같이, 픽셀 밀도(PPI)가 증가함에 따라, 서브픽셀 피치, 특히 예시적인 서브픽셀당 수평 치수(x)가 감소된다. 10 μm 또는 5 μm 의 예시적인 최대 측방향 치수(x, y)를 갖는 마이크로 LED들을 통합하는 예시적인 디스플레이에서, 서브픽셀의 수평 치수(x)는 PPI가 증가함에 따라 LED들의 수평 치수(x)에 근접한다. 또한, 마이크로드라이버 칩들에 대한 이용가능한 공간은 추가적으로 제한된다. 고해상도 디스플레이에 본딩된 마이크로드라이버 칩들의 어레이를 포함하는 실시예에서, 특히 더 복잡한 회로가 마이크로드라이버 칩 내에 포함되는 경우, 마이크로드라이버 칩 상의 인접한 접촉부들(예를 들어, 전도성 스타드들) 사이의 이용가능한 공간이 감소된다. 실시예들에 따르면, 인접한 접촉부들 사이의 이용가능한 공간은 수 마이크로미터보다 작을 수 있어서, 예를 들어, 1 내지 15 μm , 이를테면 1 내지 6 μm 일 수 있다.

[0019] 일 실시예에서, 각각의 마이크로드라이버 칩은 솔더 재료를 활용하여 디스플레이 기판 상의 복수의 접촉 패드들에 본딩된다. 인접한 접촉 패드들 사이의 솔더 재료의 측방향 유동을 금지하기 위해, 각각의 마이크로드라이버 칩은 패시베이션 층에 형성된 대응하는 복수의 트렌치들 내에 복수의 전도성 스타드들을 포함한다. 마이크로드라이버 칩이 디스플레이 기판 상의 접촉 패드들에 본딩되는 경우 솔더 재료는 리플로우된 솔더 재료를 수집하기 위한 저장조들로서 작용하는 트렌치들 내에서 리플로우한다. 또한, 솔더 재료는 마이크로드라이버 칩들의 바닥 표면을 따라 형성된 배리어 재료(예를 들어, Al_2O_3)와 대조적으로 전도성 스타드들을 우선적으로 습윤시킬 수 있다. 이러한 우선적 습윤은 추가적으로 마이크로드라이버 칩 트렌치들 내의 리플로우된 솔더 재료를 보유하도록 기능할 수 있다. 일부 실시예들에 따르면, 패터닝된 절연 층은 대안적으로 또는 추가적으로, 인접한 접촉 패드들에 걸친 솔더 재료 리플로우(및 전기적 단락)에 대한 배리어로서 작용하도록 접촉 패드들의 어레이의 예지들을 커버하는 디스플레이 기판 상에 제공될 수 있다.

[0020] 실시예들에 따라, 패시베이션 충전 층이 디스플레이 기판 상의 마이크로 LED들 및 마이크로드라이버 칩들의 측벽들 주위에 도포된다. 패시베이션 충전 층은 디스플레이 기판 상에 마이크로 LED들 및 마이크로드라이버 칩들을 고정시키고, 마이크로 LED들의 측벽들을 패시베이션(예를 들어, 수직 마이크로 LED들의 상단/바닥 전극들 사이의 단락을 방지)하고, 마이크로 LED들을 전도성 단자 구조(예를 들어, Vss, 접지 등)에 전기적으로 연결하는 상단 접촉 층의 도포를 위한 단계 커버리지를 제공하도록 기능할 수 있다.

[0021] 일 양태에서, 실시예들은 마이크로드라이버 칩의 상단 표면과의 높이 차이를 보상하기 위해 전도성 단자 접촉 상단 표면 및/또는 마이크로 LED 상단 표면을 상승시키기 위해 디스플레이 기판 상에 다양한 뱅크 구조 구성 및 기둥 구조들을 설명한다.

- [0022] 일 양태에서, 상승된 마이크로 LED들은 잠재적으로 인접한 마이크로드라이버 칩으로부터 방출된 광의 반사로 인해 발생하는 낮은 각도의 광 산란을 감소시킬 수 있다. 예를 들어, 실리콘으로 형성된 마이크로드라이버 칩들은 인접한 마이크로 LED들로부터 방출 광을 반사하는 미러로서 작용할 수 있으며, 특정 시야각들에서 디스플레이의 광학 성능을 잠재적으로 감소시킬 수 있다. 일 실시예에서, 상승된 बैं크 구조 상에 마이크로 LED를 본딩하는 것은 낮은 각도의 광 산란의 양을 감소시킬 수 있다.
- [0023] 일 양태에서, 상승된 마이크로 LED들은 디스플레이 기판에 매립된 신호 라인들과의 커플링 및 잠재적으로 발생할 수 있는 RC 지연을 감소시킬 수 있다. 일 실시예에서, 상승된 बैं크 구조 상에 마이크로 LED를 본딩하는 것은 커플링을 감소시키기 위한 추가적인 절연을 제공할 수 있다.
- [0024] 일 양태에서, 상승된 마이크로 LED들 및/또는 상승된 전도성 단자 접촉부들은 상단 전도성 층과의 전기 접촉에 대한 정렬 허용오차들을 완화시킬 수 있다. 일 양태에서, 마이크로 LED의 상단 표면이 인접한 마이크로드라이버 칩의 상단 표면의 적어도 2 μm 이내 또는 보다 구체적으로는 0.5 μm 이내에 있는 다양한 बैं크 구조들이 설명된다. 일부 실시예들에서, 마이크로 LED의 상단 표면 및 마이크로드라이버 칩의 상단 표면 둘 모두는 패시베이션 층의 상단 표면 위 또는 그와 같은 레벨에 있다. 일부 실시예들에서, 패시베이션 층의 상단 표면은 디스플레이 기판의 전체 디스플레이 영역에 걸친 슬릿(slit) 코팅에 의해 형성된다. 패시베이션 층의 상단 표면은 마이크로드라이버 칩들을 손상시키지 않으면서 슬릿 코팅 장치의 블레이드가 마이크로드라이버 칩들을 클리어하도록 가장 높은 컴포넌트들(예를 들어, 마이크로드라이버 칩들)의 상단 표면까지 상승할 수 있다.
- [0025] 이제 도 1을 참조하면, 일 실시예에 따른 마이크로드라이버 칩의 사시도가 제공된다. 특히, 도 1은 실시예들에 따라 복수의 전도성 스테드들(134) 및 전도성 스테드들(134)을 둘러싸는 복수의 트렌치들(114)의 관계를 도시하기 위해 제공된다. 예시된 바와 같이, 마이크로드라이버 칩(120)은 디바이스 층(104) 및 디바이스 층(104) 아래의 패시베이션 층(112)을 포함할 수 있다. 패시베이션 층(112)은 바닥 표면(113)을 포함한다. 복수의 트렌치들(114)이 패시베이션 층에 형성되고, 복수의 전도성 스테드들(134)이 복수의 트렌치들(114) 내에 위치된다. 각각의 전도성 스테드(134)는 패시베이션 층(112) 아래의 랜딩 패드로부터 확장될 수 있다. 각각의 전도성 스테드(134)는 전도성 스테드(134)와 대응하는 트렌치(114)의 측벽들(115) 사이에 저장조가 형성되도록 그 대응하는 트렌치(114)의 측벽들(115)에 의해 둘러싸인다. 실시예들에 따르면, 각각의 전도성 스테드(134)는 패시베이션 층(112)의 바닥 표면(113) 아래에 있는 바닥 표면(135)을 포함한다.
- [0026] 도 1에 제공된 이미지에서는 별개로 가시적이지 않지만, 얇은 등각 배리어 층(116)이 패시베이션 층(112)의 바닥 표면(113) 상에 및 복수의 트렌치들(114)의 측벽들(115) 상에 형성될 수 있다. 배리어 층은 또한 복수의 랜딩 패드들 상에 형성될 수 있다. 패시베이션 층(112)의 바닥 표면(113) 상에 형성된 배리어 층(116)은 마이크로드라이버 칩(120)의 바닥 표면(121)을 형성할 수 있다. 배리어 층(116)은 추가적으로, 패시베이션 층(112)의 측벽들(115) 상에 형성되고 그에 등각인 측벽들(117)을 포함할 수 있다. 배리어 층(116)이 형성되지 않은 실시예에서, 패시베이션 층(112)의 바닥 표면(113)은 마이크로드라이버 칩(120)의 바닥 표면(121)에 대응할 수 있다.
- [0027] 도 2 내지 도 10은 일 실시예에 따른 마이크로드라이버 칩들(120)의 어레이를 제조하는 방법의 개략적 측면면도들이다. 일 실시예에서, 마이크로드라이버 칩(120)은 단결정 실리콘 웨이퍼로 제조된다. 예를 들어, 제조 기판은 실리콘 웨이퍼(102) 및 실리콘 웨이퍼(102) 상에 형성된 디바이스 층(104)을 포함할 수 있다. 예를 들어, 디바이스 층(104)은 실리콘 웨이퍼(102) 상에서 성장된 에피택셜 층일 수 있다. 기판 스택은 추가적으로 디바이스 층(104) 아래에 매립된 산화물 층을 포함하는 실리콘 온 절연체(SOI; silicon on insulator) 웨이퍼일 수 있다. 마이크로드라이버 칩 디바이스들(예를 들어, 드라이버 트랜지스터들, 방출 제어 트랜지스터들, 스위칭 트랜지스터들 등)은 디바이스 층에 형성될 수 있고 빌드 업 층(106)에 상호연결될 수 있으며, 빌드 업 층(106)은 하나 이상의 상호연결 층들(예를 들어, 구리 상호연결부들), 및 빌드 업 층(106)의 상단에서 복수의 랜딩 패드들(110)에서 종단되는 절연 층들(예를 들어, 층간 유전체, ILD들)을 포함할 수 있다. 예를 들어, 랜딩 패드들(110)은 구리로 형성될 수 있다.
- [0028] 도 2에 예시된 실시예에서, 패시베이션 층(112)은 빌드 업 층(106) 위에 형성되고, 대응하는 랜딩 패드들(110)의 상단 표면들(111)을 노출시키는 패시베이션 층(112)을 통한 트렌치들(114)을 생성하도록 패터닝된다. 일 실시예에서, 트렌치는 1 내지 10 μm , 예를 들어 1 내지 5 μm 의 최대 폭을 갖는다. 일 실시예에서, 랜딩 패드들(110)은 트렌치들(114)보다 넓어서 오직 랜딩 패드(110) 상단 표면(111)만이 트렌치들(114)의 바닥에 노출된다. 패시베이션 층(112)은 산화물, 질화물들(예를 들어, SiN_x), 중합체들(예를 들어, 폴리이미드, 에폭시 등)을 포함하는 다양한 적절한 재료들로 형성될 수 있다. 그 다음, 도 3을 참조하면, 배리어 층(116)이 임의적으로 트

랜치들(114) 내에서 및 랜딩 패드들(110)의 상단 표면(111) 상에서 패시베이션 층(112) 위에 형성될 수 있다. 실시예들에 따르면, 배리어 층(116)은 마이크로드라이버 칩들(120)의 에칭-릴리스 동작 동안 화학적 보호를 제공할 수 있다. 배리어 층(116)은 추가적으로 솔더 리플로우에 대한 비-습윤 표면을 제공할 수 있다. 배리어 층(116)은 원자 층 증착(ALD)과 같은 등각 증착 기술을 사용하여 형성될 수 있다. 일 실시예에서, 배리어 층(116)은 Al_2O_3 으로 형성된다. 일 실시예에서, 배리어 층(116)은 2,000 옹스트롬($0.2 \mu m$) 미만의 두께이다.

[0029] 그 다음, 이제 도 3을 참조하면, 칩렛 트랜치들(122)이 패시베이션 층(112), 빌드 업 층(106) 및 디바이스 층(104)을 통해 형성되어 칩렛들(119)의 어레이를 정의한다. 일 실시예에서, 칩렛 트랜치들(122)은 실리콘 웨이퍼(102)(또는 매립된 산화물 층) 상에서 정지한다. 예시적인 트랜치들은 대략 $1 \mu m$ 폭 및 $5 \mu m$ 내지 $10 \mu m$ 깊이(예를 들어, 배리어 층(116), 패시베이션 층(112), 빌드 업 층(106) 및 디바이스 층(104)의 전체 두께)일 수 있다. 칩 트랜치들(122)은 유도 결합 플라즈마 반응성 이온 에칭(ICP-RIE)과 같은 적절한 건식 에칭 기술을 사용하여 형성될 수 있다.

[0030] 그 다음, 도 5에 예시된 바와 같이 희생 릴리스 층(130)이 칩렛들(119)의 어레이 위에 및 칩렛 트랜치들(122) 내에 형성될 수 있다. 일 실시예에서, 희생 릴리스 층(130)은 칩렛들(119)을 형성하는 다른 재료에 대하여 선택적으로 제거될 수 있는 재료로 형성된다. 일 실시예에서, 희생 릴리스 층(130)은 산화물(예를 들어, SiO_2)로 형성되지만, 다른 재료들이 사용될 수 있다. 희생 릴리스 층(130)은 스퍼터링, 저온 플라즈마 강화 화학 기상 증착(PECVD) 또는 전자 빔 증발과 같은 칩렛 트랜치들(122)을 충전할 수 있는 적절한 기술을 이용하여 형성될 수 있다. 평탄한 상단 표면(131)을 생성하기 위해 증착 이후 임의적으로 연마 동작이 수행될 수 있다.

[0031] 대안적인 실시예에서, 배리어 층(116)은 도 4에 예시된 칩렛 트랜치들(122)의 형성 이후 및 희생 릴리스 층(130)의 증착 전에 형성될 수 있다. 이러한 실시예에서, 배리어 층(116)은 또한 칩렛들(119)의 측면들을 따라, 그리고 칩렛 트랜치들(122) 내에 걸쳐 있다. 이러한 실시예에서, 배리어 층(116)은 에칭-릴리스 동작 동안 마이크로드라이버 칩들(120)의 측면들을 따라 추가적인 화학적 보호를 제공할 수 있다.

[0032] 이제 도 6을 참조하면, 스테드-개구들(132)이 희생 릴리스 층(130) 및 임의적 배리어 층(116)을 통해 형성되어 랜딩 패드들(110)을 노출시킨다. 예시된 바와 같이, 스테드-개구들(132)은 패시베이션 층(112)에 형성된 트랜치들(114)보다 좁을 수 있다. 이는 트랜치들이 최종적 구조에서 저장조들로 기능하도록 허용할 것이다. 그 다음, 스테드-개구들(132)은 전도성 스테드들(134)을 형성하기 위해 전기 전도성 재료로 충전된다. 예를 들어, 전도성 스테드들(134)은 구리로 형성될 수 있고, 희생 릴리스 층(130)을 도금 몰드로 사용하여 무전해 도금 기술을 사용하여 형성될 수 있다.

[0033] 그 다음, 이제 도 8을 참조하면, 기관 스택은 안정화 층(140)으로 캐리어 기관(142)에 본딩된다. 예를 들어, 안정화 층(140)은 벤조시클로부텐(BCB) 또는 에폭시와 같은 접착 본딩 재료로 형성될 수 있고, 본딩 동안 경화되어 가교 열경화성 수지를 형성할 수 있다. 일 실시예에서, 캐리어 기관(142)은 실리콘 웨이퍼이지만, 다른 기관들이 사용될 수 있다. 그 다음, 실리콘 웨이퍼(102)는 연삭, 또는 에칭 및 연삭과 같은 적절한 프로세스 기술들을 사용하여 제거되어 도 9에 예시된 바와 같은 칩렛 트랜치들(122) 내의 희생 릴리스 층(130)을 노출시킬 수 있고, 도 10에 예시된 바와 같이 희생 릴리스 층(130)의 제거가 후속되어, 안정화 층(140)에 의해 캐리어 기관(142) 상에 지지되는 마이크로드라이버 칩들(120)의 어레이가 획득된다. 일 실시예에서, 희생 릴리스 층(130)은 HF 증기와 같은 적절한 에칭 화학물질을 사용하여 선택적으로 제거되지만, 희생 릴리스 층(130)의 구성에 따라 다른 화학물질들이 사용될 수 있다. 도 10에 예시된 마이크로드라이버 칩들(120)은 안정화 층(140)과 접촉하는 전도성 스테드들(134)의 바닥 표면들(135)의 접촉 영역에 의해 안정화 층(140)에 부착된다. 이제, 마이크로드라이버 칩들(120)의 어레이는 픽업 및 디스플레이 기관으로의 이송 및 그에의 본딩을 위해 준비된다.

[0034] 이제 도 11을 참조하면, 일 실시예에 따라, 디스플레이 기관(202)에 본딩되기 전의 디스플레이 기관(202) 위의 마이크로드라이버 칩(120)의 개략적 측면면도가 제공된다. 예시된 바와 같이, 마이크로드라이버 칩(120)을 수용할 디스플레이 기관(202)의 부분은, 그 위에 증착된 솔더 재료(206)를 각각 포함하는 복수의 접촉 패드들(204)을 포함한다. 접촉 패드들(204)은 구리 및 알루미늄과 같은 다양한 전기 전도성 재료들로 형성될 수 있고, 층 스택을 포함할 수 있다. 예를 들어, 접촉 패드들(204)은 아래의 전도성 층(예를 들어, 구리, 알루미늄) 내로의 확산을 방지하기 위한 접착/배리어 층(예를 들어, TaN)을 포함할 수 있다.

[0035] 일 실시예에서, 트랜치들(114)은 1 내지 $10 \mu m$, 예를 들어, 1 내지 $5 \mu m$ 의 최대 폭을 갖고, 전도성 스테드들(134)은 0.5 내지 $5 \mu m$, 예를 들어, 1 내지 $3 \mu m$ 의 최대 폭을 갖는다. 일 실시예에서, 인접한 트랜치들(114)은 수 마이크로, 예를 들어, 1 내지 $15 \mu m$, 이를테면 1 내지 $6 \mu m$ 정도의 작은 폭만큼 분리될 수 있다. 일 실시

예에서, 솔더 재료(206)의 별개의 위치들은 대응하는 전도성 스테르드들(134)보다 넓다. 도시된 바와 같이, 전도성 스테르드들(134)은, 전도성 스테르드들(134)의 바닥 표면들(135)이 마이크로드라이버 칩(120)의 바닥 표면(121) 아래에 있도록 패시베이션 층(112) 및 배리어 층(116)보다 두꺼울(높을) 수 있어서, 예를 들어, 0.2 내지 2 μm 의 범위일 수 있다. 일 실시예에서, 마이크로드라이버 칩(120)의 본체의 전체 두께(전도성 스테르드들(134)을 제외함)는 3 내지 20 μm , 예를 들어, 5 내지 10 μm 또는 8 μm 이다.

[0036] 도 12는 일 실시예에 따른 디스플레이 기관(202)에 본딩된 마이크로드라이버 칩(120)의 개략적 측면면도이다. 일 실시예에서, 전도성 스테르드들(134)은 솔더 재료(206)를 관통한다. 실시예들에 따르면, 본딩 동작은, 리플로우되고 마이크로드라이버 칩(120)에 형성된 트렌치들(114)에 의해 포함되는 솔더 재료(206)를 액화시키기 위해 상승된 온도에서 수행될 수 있다. 이러한 방식으로, 트렌치들(114)은 솔더 재료(206)의 과도한 리플로우로 인한 인접한 접촉 패드들(204) 또는 전도성 스테르드들(134)에 걸친 전기적 단락의 잠재성을 방지할 수 있다.

[0037] 실시예들에 따르면, 전도성 스테르드들(134)은 솔더 재료(206)와의 접촉을 위해 증가된 표면적을 제공한다. 증가된 접촉 영역은 추가적으로 배리어 층(116) 재료에 비해 솔더 재료(206)의 우선적인 습윤을 위한 증가된 상대적 영역을 제공할 수 있다. 이러한 우선적인 습윤은 추가적으로 인접한 접촉 패드들(204) 사이에서 리플로우된 솔더 재료(206)의 측방향 확산을 완화시킬 수 있다.

[0038] 다른 양태에서, 전도성 스테르드들(134)은 접촉 패드들(204)과의 금속-금속 접촉을 허용하는 프로파일을 생성할 수 있으며, 이는 잠재적으로 이송 및 본딩 동작 동안 쿠션으로서 작용할 수 있고 잠재적으로 마이크로드라이버 칩들(120)의 기계적 무결성을 보존할 수 있다. 이러한 구성에서, 전도성 스테르드들(134) 및 접촉 패드들(204)을 형성하는 금속 또는 금속 합금 재료들은 Al_2O_3 배리어 층(116)과 같은 마이크로드라이버 칩(120) 또는 디스플레이 기관(202) 상의 다른 재료들보다 비교적 부드러울 수 있다. 이러한 방식으로, 소프트-하드 또는 하드-하드 접촉부와 반대로, 비교적 소프트-소프트 접촉부가 생성된다.

[0039] 도 13 및 도 14는 일 실시예에 따른 마이크로드라이버 칩들(120) 및 마이크로 LED들(220)의 어레이를 포함하는 디스플레이 시스템들의 개략적 상면도들이다. 방출 제어기는 디스플레이 백플레인(예를 들어, 그 전부 또는 일부) 상에 디스플레이될 콘텐츠, 예를 들어, 픽처 정보(예를 들어, 데이터 프레임)에 대응하는 입력 신호를 입력으로서 수신할 수 있다. 방출 제어기는 마이크로 LED(220)가 (예를 들어, 사람의 눈에 가시적인) 광을 선택적으로 방출하게 하는 회로(예를 들어, 로직)를 포함할 수 있다. 방출 제어기는 저장 디바이스(들)(예를 들어, 커패시터 또는 데이터 레지스터)가 데이터 신호(예를 들어, 마이크로 LED(220)를 턴 온 또는 턴 오프시키는 신호)를 수신하게 할 수 있다. 열 드라이버 및/또는 행 드라이버는 방출 제어기의 컴포넌트일 수 있다. 열 드라이버는 방출 제어기가 마이크로드라이버 칩들(120)의 열과 통신(예를 들어, 이를 제어)하도록 허용할 수 있다. 행 드라이버는 방출 제어기가 마이크로드라이버 칩들(120)의 행과 통신(예를 들어, 이를 제어)하도록 허용할 수 있다. 열 드라이버 및 행 드라이버는 방출 제어기가 개별적인 마이크로드라이버 칩들(120) 또는 마이크로드라이버 칩들(120)의 그룹과 통신(예를 들어, 이를 제어)하도록 허용할 수 있다.

[0040] 일 실시예에서, 하나 이상의 마이크로 LED들(220)은 하나 이상의 마이크로 LED들(220)로부터의 광의 방출을 (예를 들어, 방출 제어기에 따라) 구동시키는 마이크로드라이버 칩(120)에 연결될 수 있다. 예를 들어, 마이크로드라이버 칩들(120) 및 마이크로 LED들(220)은 디스플레이 백플레인의 디스플레이 기관 상에 표면 장착될 수 있다. 비록 도시된 마이크로드라이버 칩들(120)이 10개의 마이크로 LED들(220)을 포함하지만, 본 개시내용은 이에 제한되지 않으며, 마이크로드라이버 칩(120)은 하나의 마이크로 LED(220) 또는 임의의 복수의 마이크로 LED들(220) 및 복수의 픽셀들을 구동할 수 있다.

[0041] 일 실시예에서, 디스플레이 드라이버 하드웨어 회로(예컨대, 하드웨어 방출 제어기)는, 디스플레이 패널의 방출 그룹 내의 행들의 수 - 행들의 수는 디스플레이 패널의 단일 행에서부터 전체 패널까지 조정가능함 - 를 선택하기 위한 (예컨대, 행 선택) 로직, 디스플레이 패널의 방출 그룹 내의 열들의 수 - 열들의 수는 디스플레이 패널의 단일 열에서부터 전체 패널까지 조정가능함 - 를 선택하기 위한 (예컨대, 열 선택) 로직, 및 디스플레이될 데이터 프레임당 펄스들의 수 - 데이터 프레임당 펄스들의 수는 하나부터 복수까지 조정가능하고 펄스 길이는 연속적인 듀티 사이클부터 불연속적인 듀티 사이클까지 조정가능함 - 를 선택하기 위한 (예컨대, 방출) 로직 중 하나 이상을 포함할 수 있다. 방출 제어기는 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합을 포함할 수 있다.

[0042] 이제 도 13을 참조하면, 예시된 실시예에서, 전도성 단자 접촉부들(208)의 어레이는 마이크로 LED들(220) 및 마이크로 LED들(220)을 전도성 단자 구조에 전기적으로 연결하기 위한 마이크로드라이버 칩들(120)의 행들과 열들 사이의 라인들의 배열로서 예시되어 있다. 도 14에 예시된 실시예에서, 전도성 단자 접촉부들(208)의 어레이는

마이크로 LED들(220)을 전도성 단자 구조에 전기적으로 연결하기 위한 별개의 위치들(예를 들어, 기둥들 또는 개구들)의 배열로서 예시되어 있다.

[0043] 다음의 설명 및 도면들에서, 마이크로 LED들(220) 및 마이크로드라이버 칩들(120)을 디스플레이 기관(202) 상에 집적하고, 마이크로 LED들(220)를, 예를 들어, 상단 접촉 층(240)으로 전도성 단자 구조들에 전기적으로 연결하기 위한 집적 방식들의 다양한 측면면도들이 제공된다. 실시예들에 따라, 상단 접촉 층(240)은 다양한 구성들 및 영역들에서 전도성 단자 접촉부들(208)과 전기적으로 접촉할 수 있다. 예를 들어, 전기 접촉은 패시베이션 층(230)(예를 들어, 도 13)의 노출된 라인들 또는 개구들의 선형 길이들을 따라 또는 패시베이션 층(230)(예를 들어, 도 14)의 노출된 포스트들 또는 개구들을 따라 이산적 위치들에서 이루어질 수 있다.

[0044] 이제 도 15를 참조하면, 일 실시예에 따른 디스플레이 기관(202) 상에 마이크로 디바이스들을 집적하는 방법을 예시하는 흐름도가 제공된다. 도 16은 일 실시예에 따른 패턴링된 패시베이션 층(230)을 갖는 집적된 디스플레이 기관(202)의 일부의 개략적 측면면도이다. 명확성을 위해, 도 15 및 도 16은 유사한 특징부들에 대한 동일한 참조 번호들을 참조하여 동시에 설명된다.

[0045] 동작(1510)에서, बैं크 구조(212)는 디스플레이 기관(202) 상에 패턴링된다. बैं크 구조(212)는 하나 이상의 층들을 포함할 수 있다. 예를 들어, बैं크 구조(212)는 SiO_2 , SiN_x 또는 상단에 SiN_x 를 갖는 $\text{SiO}_2/\text{SiN}_x$ 의 스택을 포함할 수 있다. 대안적으로, बैं크 구조(212)는 유기(예를 들어, 포토레지스트) 재료로 형성될 수 있다. बैं크 구조(212)는 라인들 또는 별개의 포스트형 돌출부들의 형태일 수 있다.

[0046] 디스플레이 기관(202)은 다양한 기관들일 수 있다. 디스플레이 기관(202)은 강성 또는 가요성일 수 있다. 일 실시예에서, 디스플레이 기관은 디스플레이의 동작을 위한 부분적 작동 회로를 포함하는 TFT 기관이다. 예를 들어, TFT 기관은 마이크로드라이버 칩들(120)에 포함되지 않는 작동 회로 뿐만 아니라 마이크로드라이버 칩들(120)을 시스템 컴포넌트들, 예를 들어, 행 드라이버들, 열 드라이버들, 방출 제어기들 등에 전기적으로 연결하기 위한 라우팅 라인들(210)(예를 들어, 신호 라인들)을 포함할 수 있다. 일 실시예에서, 디스플레이 기관(202)은 작동 회로의 어떠한 능동 디바이스들도 포함하지 않지만, 시스템 컴포넌트들과의 전기 연결을 위해 라우팅 라인들(210)을 포함한다. 예시적인 라우팅 라인들은 Vdd 라인들, 전력 라인들, Vss 라인들, 접지 라인들, 데이터 신호 입력 라인들, 스캔 신호 입력 라인들, 방출 제어 신호 입력 라인들, 기준 전압/전류 라인들 등을 포함하지만 이에 제한되는 것은 아니다.

[0047] 동작(1520)에서, 접촉 층들은 디스플레이 기관(202) 상에 패턴링된다. 일 실시예에서, 하나 이상의 금속 층들이 증착되고 패턴링되어, 복수의 접촉 패드들(204), LED 접촉 패드(203), 접촉 패드들(204) 중 하나를 LED 접촉 패드(203)에 전기적으로 연결하는 트레이스 라인(205) 및 전도성 단자 접촉부(208)를 형성한다. 일 실시예에서, 금속 층의 증착 및 패턴링은 리프트-오프(lift-off) 기술을 포함한다. 대안적으로, 증착 및 에칭이 사용될 수 있다. 일 실시예에서, 접촉 패드들(204), LED 접촉 패드(203), 트레이스 라인(205) 및 전도성 단자 접촉부(208)는 구리 및 알루미늄과 같은 다양한 전기 전도성 재료들로 형성될 수 있고, 층 스택을 포함할 수 있다. 예를 들어, 이들은 아래의 전도성 층(예를 들어, 구리, 알루미늄) 내로의 확산을 방지하기 위한 접착/배리어 층(예를 들어, TaN)을 포함할 수 있다.

[0048] 동작(1530)에서, 본딩 층들(예를 들어, 솔더 재료(206))이 접촉 패드들(204) 및 LED 접촉 패드(203) 상에 증착된다. 예를 들어, 솔더 재료(206)(예를 들어, In, Sn 등)는 증발 기술을 사용하여 증착될 수 있다.

[0049] 동작(1540)에서, 마이크로드라이버 칩들(120) 및 마이크로 LED들(220)을 포함하는 마이크로 디바이스들은 도 12와 관련하여 기술한 바와 같이 솔더 재료(206)를 사용하여 디스플레이 기관(202)에 이송되고 그에 본딩된다.

[0050] 도 16에 마이크로 LED(220)의 확대도가 제공된다. 예시된 바와 같이, 마이크로 LED(220)는 도핑된 층(225)(예를 들어, p-도핑됨), 도핑된 층(229)(예를 들어, n-도핑됨) 및 도핑된 층들(225, 229) 사이의 활성 층(227)(예를 들어, 하나 이상의 양자 우물 층들을 포함함)을 포함하는 마이크로 p-n 다이오드(222)를 포함할 수 있다. 일 실시예에서, 도핑된 층들(225, 229)의 도핑은 반전된다. 상단 도핑된 층(229) 상에 상단 전극(226)이 형성되고, 바닥 도핑된 층(225) 상에 바닥 전극(224)이 형성된다. 상단 및 바닥 전극들은 마이크로 LED(220)의 상단 표면(223) 및 바닥 표면(221)을 형성할 수 있다. 도시된 바와 같이, 마이크로 LED(220)는 마이크로 p-n 다이오드(222)를 위한 층들의 측방향 에지들에 걸쳐 있을 수 있는 측벽들(228)을 포함한다. 실시예들에 따르면, 마이크로 p-n 다이오드들(222)은 상이한 II-VI 또는 III-V 무기 반도체 기반 시스템들을 사용하여 제조될 수 있다. 예를 들어, 청색 또는 녹색 방출 마이크로 p-n 다이오드들(222)은 GaN, AlGaIn, InGaIn, AlIn, InAlIn, AlInGaIn, ZnSe와 같은 그러나 이에 제한되는 것은 아닌 무기 반도체 재료들을 사용하여 제조될 수 있다. 예를

들어, 적색 방출 마이크로 p-n 다이오드들(222)은 GaP, AlP, AlGaP, AlAs, AlGaAs, AlInGaP, AlGaAsP 및 임의의 As-P-Al-Ga-In과 같은 그러나 이에 제한되는 것은 아닌 무기 반도체 재료들을 사용하여 제조될 수 있다.

[0051] 동작(1550)에서, 패시베이션 층(230)이 디스플레이 기관(202) 상에 코팅된다. 도시된 바와 같이, 패시베이션 층(230)은 마이크로 LED들(220) 및 마이크로드라이버 칩들(120)을 측방향으로 둘러싼다. 패시베이션 층(230)은 디스플레이 기관(202)의 전체 디스플레이 영역에 걸쳐 형성된 단일 층일 수 있다. 패시베이션 층(230)은 유전체 재료로 형성될 수 있다. 패시베이션 층(230)은 아크릴 또는 에폭시와 같은 가교 재료로 형성될 수 있다. 패시베이션 층(230)은 사진 활상가능할 수 있다. 패시베이션 층(230)을 형성하기 위해 스핀 코팅, 잉크 분사 및 슬릿 코팅을 포함하는 다양한 도포 방법들이 사용될 수 있다. 일 실시예에서, 디스플레이 기관(202)은 패널 크기이다. 이러한 실시예에서, 슬릿 코팅이 활용될 수 있다. 패시베이션 층(230)의 상단 표면은 마이크로드라이버 칩들(120)을 손상시키지 않으면서 슬릿 코팅 장치의 블레이드가 마이크로드라이버 칩들(120)을 클리어하도록 가장 높은 컴포넌트들(예를 들어, 마이크로드라이버 칩들)의 상단 표면까지 또는 그 위로 상승할 수 있다. 패시베이션 층(230)의 형성에 후속하여, 패시베이션 층(230)의 두께를 감소시키기 위해 임의적으로 에치-백(etch-back)이 수행될 수 있다.

[0052] 일 실시예에서, 패시베이션 층(230)은 평탄한 상단 표면(233) 및 등각 바닥 표면을 포함한다. 도시된 바와 같이, 등각 바닥 표면은 뱅크 구조(212) 상의 전도성 단자 접촉부(208) 및 LED 접촉 패드(203)를 접촉 패드(204)에 전기적으로 연결하는 트레이스 라인(205)의 토포그래피를 포함하는, 등각 바닥 표면이 형성되는 토포그래피와 등각일 수 있다.

[0053] 동작(1560)에서, 패시베이션 층(230)은 전도성 단자 접촉부(208)를 노출시키기 위한 전도성 단자 접촉 개구(234) 및 마이크로 LED(220)의 상단 표면(223)을 노출시키기 위한 마이크로 LED 개구(232)를 형성하도록 패터닝된다. 그 다음, 동작(1570)에서, 패시베이션 층(230), 마이크로 LED들(220) 및 전도성 단자 접촉부들(208) 상에 상단 접촉 층(240)이 형성되어, 상단 접촉 층은 마이크로 LED들(220) 및 전도성 단자 접촉부들(208)과 전기 접촉한다.

[0054] 상단 접촉 층(240)은 투명 전도성 산화물들(TCO들) 또는 투명 전도성 중합체들과 같은 다양한 재료들로 형성될 수 있다. 일 실시예에서, 상단 접촉 층(240)은 인듐-주석-산화물(ITO)로 형성되고, 스퍼터링과 같은 적절한 기술을 사용하여 형성될 수 있으며, 임의적으로 패터닝이 후속된다. 실시예에서, 블랭킷 상단 접촉 층(240)은 마이크로 LED들의 어레이 내의 마이크로 LED들(220) 각각 및 전도성 단자 접촉부들의 어레이 내의 전도성 단자 접촉부들(208) 각각 위에 형성된다. 이러한 구성에서, 상단 접촉 층(240)은 백플레인 상의 픽셀 영역 내의 마이크로 LED들(220) 모두에 전도성 단자 구조 및 신호 연결을 제공한다. 일 실시예에서, 복수의 상단 접촉 층들(240)이 형성된다.

[0055] 이제 도 17 내지 도 20을 참조하면, 일 실시예에 따른 접촉 패드들(203, 204)의 어레이의 에지들을 커버하는 패터닝된 절연 층(211)을 갖는 디스플레이 기관 상의 마이크로 디바이스들을 집적하는 방법에 대한 개략적 측면면도들이 제공된다. 특히, 뱅크 구조(212)와 동일한 층으로부터 패터닝된 절연 층(211)을 형성하기 위해 그레이톤 포토마스크(300)가 활용될 수 있다. 도 17를 참조하면, LED 접촉 패드들(203), 접촉 패드들(204) 및 트레이스 라인들(205)을 포함하는 절연 층(217)이 디스플레이 기관(202) 위에 형성된다. 절연 층(217)은 포토레지스트와 같은 사진 활상가능한 재료로 형성될 수 있다. 도 18을 참조하면, 그레이톤 마스크(300)는 접촉 패드들(204) 및 임의적으로 LED 접촉 패드들(203)의 레이의 에지들을 커버하는 패터닝된 절연 층(211) 뿐만 아니라 패터닝된 뱅크 구조(212)를 형성하기 위해 사용될 수 있다. 패터닝된 뱅크 구조(212)는 임의적으로 전도성 단자 라인(201) 상에 형성될 수 있다.

[0056] 도 19를 참조하면, 솔더 재료(206)는 접촉 패드들(204) 및 LED 접촉 패드들(203) 상에 증착된다. 솔더 접촉 층(207)은 임의적으로 뱅크 구조(212) 위에 증착될 수 있고 전도성 단자 라인(201)과 전기적으로 접촉할 수 있다. 그 다음, 마이크로드라이버 칩들(120) 및 마이크로 LED들(220)은 도 12와 관련하여 진술한 바와 같이 솔더 재료(206)를 사용하여 디스플레이 기관(202)에 이송되고 그에 본딩될 수 있다. 도 20을 참조하면, 패시베이션 층(230)이 형성되고 패터닝되어 개구들(234, 232)을 형성하고, 상단 접촉 층(240)은 도 16과 관련하여 설명된 것과 유사하게 증착된다.

[0057] 패터닝된 절연 층(211)의 집적은 도 20에 예시된 실시예로 제한되지 않는다. 예를 들어, 패터닝된 절연 층(211)은 도 16, 도 22, 도 24, 도 25 및 도 26에 예시된 임의의 구조들과 결합될 수 있다. 추가적으로 또는 대안적으로, 솔더 접촉 층(207)은 도 16, 도 22, 도 24, 도 25 및 도 26의 접촉 층(208)에 대해 대체될 수 있다.

- [0058] 이제 도 21을 참조하면, 일 실시예에 따른 디스플레이 기관 상에 마이크로 디바이스들을 집적하는 방법을 예시하는 흐름도가 제공된다. 도 22는 일 실시예에 따른 상승된 마이크로 LED(220)를 갖는 집적된 디스플레이 기관(202)의 일부의 개략적 측면면도이다. 명확성을 위해, 도 21 및 도 22는 유사한 특징부들에 대한 동일한 참조번호들을 참조하여 동시에 설명된다. 또한, 도 21 및 도 22는 도 15 및 도 16과 다수의 유사성들을 공유한다. 본 발명을 모호하게 하지 않기 위해, 특정 차이점들이 설명될 것이고, 유사한 특징부들 및 동작들은 상세히 논의되지 않을 수 있다.
- [0059] 도 22를 참조하면, 예시된 실시예에서, 뱅크 구조(212)는 다수의 뱅크 레벨들을 포함한다. 구체적으로, 뱅크 구조(212)는 제1 뱅크 레벨(213) 및 제1 뱅크 레벨(213) 상의 제2 뱅크 레벨(214)을 포함한다. 동작(2110)에서, 제1 뱅크 레벨(213)이 패터닝되고, 후속하여 동작(2120)에서 제2 뱅크 레벨(214)이 패터닝된다. 일 실시예에서, 제1 및 제2 뱅크 레벨들(213, 214)은 동일한 재료 층으로 일체형으로 형성된다. 제2 뱅크 레벨(214)은 라인들 또는 별개의 포스트형 돌출부들의 형태일 수 있다.
- [0060] 동작(2130)에서, 접촉 층들은 디스플레이 기관(202) 상에 패터닝된다. 일 실시예에서, 하나 이상의 금속 층들이 증착되고 패터닝되어, 복수의 접촉 패드들(204), LED 접촉 패드(203), 접촉 패드들(204) 중 하나를 LED 접촉 패드(203)에 전기적으로 연결하는 트레이스 라인(205) 및 전도성 단자 접촉부(208)를 형성한다. 도 22에 예시된 실시예에서, LED 접촉 패드(203)는 제1 뱅크 레벨(213)의 상단 상에 있고, 트레이스 라인(205)은 제1 뱅크 레벨의 측벽들(215)을 따라 디스플레이 기관(202) 상의 (마이크로드라이버 칩(120)) 접촉 패드(204)까지 걸쳐 있다. 도시된 바와 같이, 전도성 단자 접촉부(208)는 제2 뱅크 레벨(214) 위에 형성된다. 일 실시예에서, 전도성 단자 접촉부(208)의 상단 표면은 마이크로드라이버 칩(120)의 상단 표면(123)과 같은 높이이거나 그 위에 있다(동작(2130)에서 디스플레이 기관에 아직 본딩되지 않음).
- [0061] 동작(2140)에서, 본딩 층(슬더 재료(206))의 별개의 위치들이 접촉 패드들(204) 및 마이크로 LED 접촉 패드들(203) 상에 증착된다. 동작(2150)에서 마이크로드라이버 칩들(120) 및 마이크로 LED들(220)은 전술한 바와 같이 접촉 패드들(204, 203)에 이송 및 본딩되고, 동작(2150)에서 패시베이션 층(230)의 코팅 및 동작(2170)에서 상단 접촉 층(240)의 증착이 후속된다.
- [0062] 도 22에 예시된 특정 실시예에서, 전도성 단자 접촉부들(208)의 상단 표면들 및 마이크로 LED들(220)의 상단 표면들(223)은 마이크로드라이버 칩들(120)의 상단 표면들(123)과 같은 높이일 수 있다. 일 실시예에서, 전도성 단자 접촉부들(208) 및 마이크로 LED들(220)의 상단 표면들은 마이크로드라이버 칩들(120)의 상단 표면들(123)의 2 μm 이내 또는 0.5 μm 이내일 수 있다. 일 실시예에서, 패시베이션 충전 층(230)은 슬릿 코팅과 같은 적절한 기술을 사용하여 형성되고, 전도성 단자 접촉부들(208)의 상단 표면들 및 마이크로 LED들(220)의 상단 표면들(223)을 노출시키기 위해 코팅 이후 임의적으로 에치 백될 수 있는 평탄한 상단 표면(233)을 포함한다.
- [0063] 도 22에 예시된 실시예에서, 상승된 마이크로 LED들(220)은 잠재적으로, 감소된 낮은 각도의 광 산란 및 디스플레이 기관(202)에 매립된 라우팅 라인들(210)과의 감소된 커플링을 생성할 수 있다. 상승된 마이크로 LED들(220) 뿐만 아니라 상승된 전도성 단자 접촉부들(208)은 전기 접촉부를 형성하기 위해 패시베이션 충전 층(230)에 개구들을 패터닝하는 경우 정렬 허용오차들에 대한 요건을 완화시킬 수 있다. 다른 실시예들에서, 도 22의 디스플레이 구조는 임의적으로 마이크로 LED 개구들(232) 및/또는 전도성 단자 개구들(234)을 포함할 수 있다. 이러한 구성에서, 뱅크 구조(212)는 마이크로 LED 개구들(232) 및/또는 전도성 단자 개구들(234)의 깊이의 감소로 인한 정렬 허용오차들을 부분적으로 완화시킬 수 있다.
- [0064] 이제 도 23을 참조하면, 일 실시예에 따른 디스플레이 기관 상에 마이크로 디바이스들을 집적하는 방법을 예시하는 흐름도가 제공된다. 도 24는 일 실시예에 따른 상승된 마이크로 LED(220) 및 패터닝된 패시베이션 충전 층(230)을 갖는 집적된 디스플레이 기관(202)의 일부의 개략적 측면면도이다. 명확성을 위해, 도 23 및 도 24는 유사한 특징부들에 대한 동일한 참조번호들을 참조하여 동시에 설명된다. 또한, 도 23 및 도 24는 도 15 및 도 16 및 도 21 및 도 22와 다수의 유사성들을 공유한다. 본 발명을 모호하게 하지 않기 위해, 특정 차이점들이 설명될 것이고, 유사한 특징부들 및 동작들은 상세히 논의되지 않을 수 있다.
- [0065] 동작(2310)에서, 뱅크 구조(212)는 디스플레이 기관(202) 상에 패터닝되고, 후속하여 동작(2320)에서 접촉 층들이 패터닝된다. 도 24를 참조하면, 예시된 실시예에서, 전도성 단자 접촉부(208) 및 LED 접촉 패드(203) 둘 모두는 뱅크 구조(212)의 상단 표면, 예를 들어 뱅크 구조(212)의 평탄한 상단 표면 상에 형성된다. 추가적으로, 트레이스 라인(205)은 뱅크 구조(212)의 측벽들(215)을 따라 디스플레이 기관(202) 상의 (마이크로드라이버 칩(120)) 접촉 패드(204)까지 걸쳐 있다. 그 다음, 동작들(2330 내지 2370)은 동작들(1530 내지 1570)과 유사하

게 수행될 수 있고, 마이크로 LED 개구(232)의 형성을 감소시킬 수 있다.

[0066] 도 24에 예시된 집적된 구조는, 패시베이션 층(230)에 형성된 전도성 단자 접촉 개구(234), 및 마이크로 LED 접촉 패드(203)와 유사하게 बैं크 구조(212)의 상단 상에 전도성 단자 접촉부(208)의 형성을 제외하면 도 22에 대해 예시되고 설명된 것과 유사하다. 도 24에 예시된 실시예에서, 상승된 마이크로 LED들(220)은 잠재적으로, 감소된 낮은 각도의 광 산란 및 디스플레이 기관(202)에 매립된 라우팅 라인들(210)과의 감소된 커플링을 생성할 수 있다. 상승된 마이크로 LED들(220)은 전기 접촉부를 형성하기 위해 패시베이션 층(230)에 개구들을 패터닝하는 경우 정렬 허용오차들에 대한 요건을 완화시킬 수 있다. 예시된 실시예에서, 전도성 단자 접촉 개구들(234)은 여전히 전도성 단자 접촉부들(208)에 대한 전기적 연결을 위한 경로를 제공하도록 패시베이션 층(230)에 형성되지만, 일부 실시예에서, 정렬 허용오차들은 마이크로 LED들(220)에 대한 것보다 클 수 있다. 예를 들어, 마이크로 LED들(220)의 측벽들(228)을 따른 단락의 위험은 전도성 단자 접촉부들(208)과 접촉을 행하는데 문제가 되지 않는다. 또한, 전도성 단자 접촉부들(208) 및 대응하는 개구들(234)에 대한 접촉 영역들은 추가적으로 일부 실시예들에 따라 마이크로 LED들(220)에 대한 것보다 크게 형성될 수 있다. 다른 실시예들에서, 도 24의 디스플레이 구조는 임의적으로 마이크로 LED 개구들(232)을 포함할 수 있다. 이러한 구성에서, बैं크 구조(212)는 마이크로 LED 개구들(232)의 깊이의 감소로 인한 정렬 허용오차들을 부분적으로 완화시킬 수 있다.

[0067] 이제 도 25를 참조하면, 일 실시예에 따른 상승된 마이크로 LED(220) 및 패터닝된 패시베이션 층(230)을 갖는 집적된 디스플레이 기관(202)의 일부의 개략적 측면도가 제공된다. 도 25는 도 24에 예시된 실시예와 몇몇 유사성들을 포함하며, 하나의 차이는 전도성 단자 접촉부(208) 및 마이크로 LED(220)에 대한 별개의 बैं크 구조들(212)의 형성이다. 다른 실시예들에서, 도 25의 디스플레이 구조는 임의적으로 마이크로 LED 개구들(232)을 포함할 수 있다. 이러한 구성에서, बैं크 구조(212)는 마이크로 LED 개구들(232)의 깊이의 감소로 인한 정렬 허용오차들을 부분적으로 완화시킬 수 있다.

[0068] 도 26은 일 실시예에 따른 상승된 마이크로 LED(220) 및 기둥 구조를 갖는 집적된 디스플레이 기관(202)의 일부의 개략적 측면도이다. 도 25는 도 22에 예시된 실시예와 몇몇 유사성들을 포함하며, 특히 전도성 단자 접촉부 및 마이크로 LED(220)와 전기 접촉을 하기 위한 패시베이션 층(230)의 패터닝된 개구들이 생략된다. 이러한 구성에서, 프로세싱은 बैं크 구조(212) 및 전도성 단자 접촉부(208)의 형성과 함께, 도 16과 관련하여 설명된 것과 유사하게 진행될 수 있다. 그 다음, 기둥 구조들(252, 250)은 बैं크 구조(212) 상의 그리고 마이크로 LED 접촉 패드(203) 상의 전도성 단자 접촉부(208)의 상단 상에 (예를 들어, 무전해 증착에 의해) 형성될 수 있다. 예를 들어, 기둥 구조들(252, 250)은 동일한 높이일 수 있다. 기둥 구조들은 다수의 재료들을 포함할 수 있다. 예를 들어, 기둥 구조들은 구리, 니켈 스택을 포함할 수 있고, 접촉 패드들(204) 상에 형성된 솔더 재료(206)와 함께 기둥들의 상단 상에 솔더 재료(206)의 형성이 후속된다. 일 실시예에서, 마이크로드라이버 칩들(120) 및 마이크로 LED들(220)은 솔더 재료(206)의 증착 이후 이송된다. 다른 실시예들에서, 도 26의 디스플레이 구조는 임의적으로 마이크로 LED 개구들(232) 및/또는 전도성 단자 개구들(234)을 포함할 수 있다. 이러한 구성에서, 기둥 구조들(252, 250)은 마이크로 LED 개구들(232) 및/또는 전도성 단자 개구들(234)의 깊이의 감소로 인한 정렬 허용오차들을 부분적으로 완화시킬 수 있다.

[0069] 이제 도 27a 및 도 27b를 참조하면, 일 실시예에 따른 마이크로드라이버 칩 및 상승된 마이크로 LED들을 포함하는 디스플레이 기관의 일부의 개략적인 상면도 및 측면도가 제공된다. 예시된 바와 같이, 도 27b의 측면도는 도 27a의 라인 X-X를 따라 취해진다. 도 27a에 예시된 특정 실시예에서, 각각의 마이크로드라이버 칩(120)은 복수의 트레이스 라인들(205)로 각각의 측면 상에서 9개의 마이크로 LED들(220), 또는 예시적인 RGB 픽셀 배열에서 각각의 측면 상의 3개의 픽셀들(P)에 연결된다. 도 27a에 예시된 마이크로 LED들(220) 및 픽셀들(P)의 수는 예시적인 것으로 의도되고 실시예들은 이에 제한되지 않는다. 예시된 실시예에서, 마이크로드라이버 칩(120)은 임의적으로 전도성 단자 접촉부(208)에 커플링된다. 이는, 상단 접촉 층(240)이 접촉되는 것과 동일한 전도성 단자 접촉부(208), 또는 대안적으로 마이크로드라이버 칩(120)을 위해 예비된 별개의 전도성 단자 접촉부(208)일 수 있다. 그럼에도 불구하고, 별개의 전도성 단자 접촉부(208)가 마이크로 LED들(220) 및 이들의 대응하는 전도성 단자 접촉부들(208)에 공급되는 것들과 동일한 신호를 수신할 수 있다.

[0070] 일 실시예에서, 하나 이상의 마이크로드라이버 칩들(120)은 बैं크 구조(212)의 개구 내에서 또는 बैं크 구조들(212) 사이에서 측방향으로 디스플레이 기관(202) 상에 장착된다. 도 27a에 예시된 특정 실시예에서, बैं크 구조들(212)은 디스플레이 기관에 걸쳐 (예를 들어, 수직으로 또는 수평으로) 확장되는 레일들의 형상이고, 마이크로드라이버 칩들(120)은 인접한 बैं크 구조들(212) 사이에 장착된다. 전도성 단자 접촉부(208)는 임의적으로 बैं크 구조(212) 상에 형성될 수 있다. 예를 들어, 전도성 단자 접촉부(208)는 बैं크 구조(212) 레일의 돌출부

상에 형성될 수 있다.

[0071] 도 27a 및 도 27b에 예시된 특정 실시예에서, 뱅크 구조들(212) 상에 여분의 마이크로 LED(220) 쌍들이 장착된다. 예를 들어, 각각의 마이크로드라이버 칩(120)은 각각의 인접한 뱅크 구조(212) 상의 마이크로 LED들(220)의 행/열에 연결될 수 있다. 리던던시를 위해 다양한 운영 구성들이 사용될 수 있다. 예시적인 실시예에서, 하나의 뱅크 구조(212)(예를 들어, 좌측)의 마이크로 LED들(220)의 세트는 1차 동작 마이크로 LED들(220)일 수 있는 한편, 다른 뱅크 구조(212)(예를 들어, 우측) 상의 마이크로 LED들(220)의 세트는 여분일 수 있거나, 조건들의 세트가 충족되지 않으면 동작하지 않는 2차 마이크로 LED들(220)일 수 있다. 그러나, 마이크로 LED(220)들 모두가 또한 동작될 수 있다.

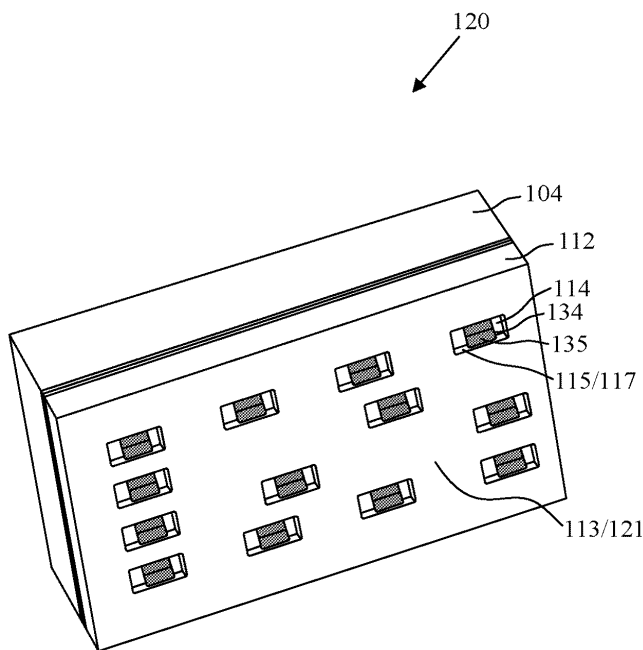
[0072] 구체적으로 도 27b를 참조하면, 마이크로 LED 개구들(232)은 좌측의 마이크로 LED(220) 쌍들 위에 예시되고, 마이크로 LED 개구들(232)은 우측의 마이크로 LED(220) 쌍들 위에 예시되지 않는다. 이러한 변칙은 상이한 두께를 갖는 마이크로 LED들(220), 또는 보다 구체적으로 상이한 두께들을 갖는 상이한 컬러 방출(예를 들어, 적색, 녹색 및 청색)을 위해 설계된 마이크로 LED들(220)에 의해 설명될 수 있다. 따라서, 실시예들에 따르면, 상이한 컬러 방출들을 위해 설계된 마이크로 LED들(220)은 대응하는 상이한 깊이들의 마이크로 LED 개구들(232)을 가질 수 있다. 일 실시예에서, 마이크로 LED 개구들(232)은 모든 마이크로 LED들(220) 위에 형성된다. 일 실시예에서, 마이크로 LED 개구들(232)은 오직 일부 마이크로 LED들(220) 위에 형성된다.

[0073] 실시예들에 따르면, 도 27a 및 도 27b와 관련하여 예시된 물리적 레이아웃들 및 구성들은 특별히 제한되지 않으며, 도 16, 도 20, 도 22, 도 24, 도 25 및 도 26을 포함하지만 이에 제한되는 것은 아닌 본원에 설명된 다른 물리적 레이아웃들에 적용될 수 있다.

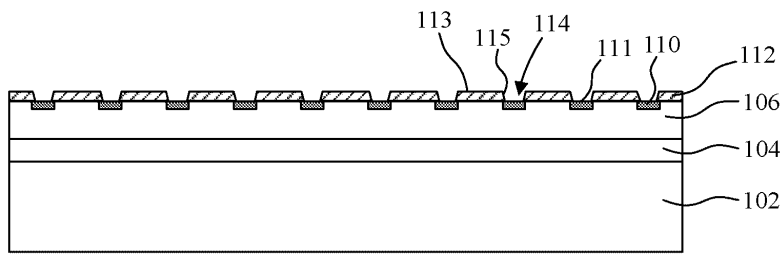
[0074] 실시예들의 다양한 양태들을 활용함에 있어서, 디스플레이 기판 상에 마이크로 LED들 및 마이크로드라이버 칩들을 집적 및 전기적으로 연결하기 위해 상기 실시예들의 조합들 또는 변형들이 가능하다는 것은 당업자에게 명백하게 될 것이다. 실시예들이 구조적 특징들 및/또는 방법론적 동작들에 대해 특정한 표현으로 기술되었지만, 첨부된 청구항들이 반드시 기술된 특정 특징들 또는 동작들로 제한되지는 않는다는 것이 이해되어야 한다. 대신에, 개시된 특정 특징들 및 동작들은 예시하는 데 유용한 청구항들의 실시예들로서 이해되어야 한다.

도면

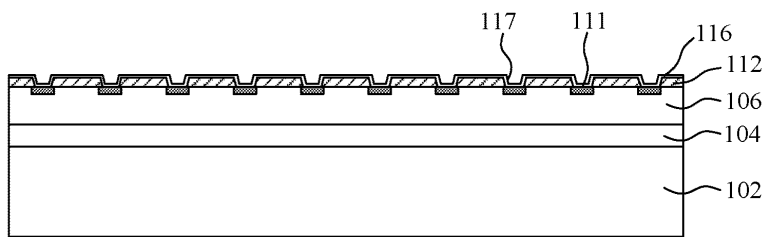
도면1



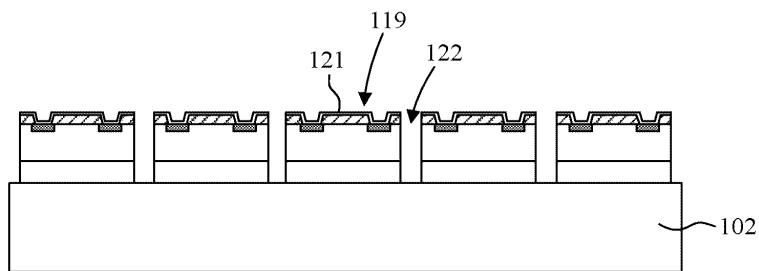
도면2



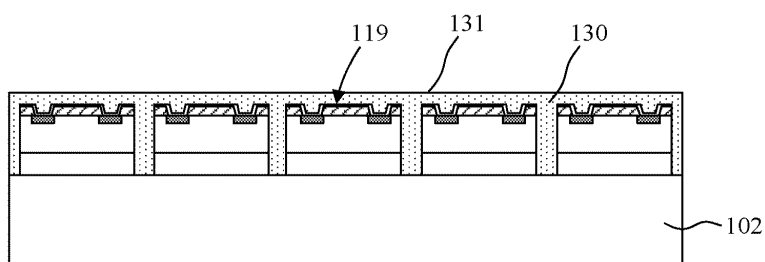
도면3



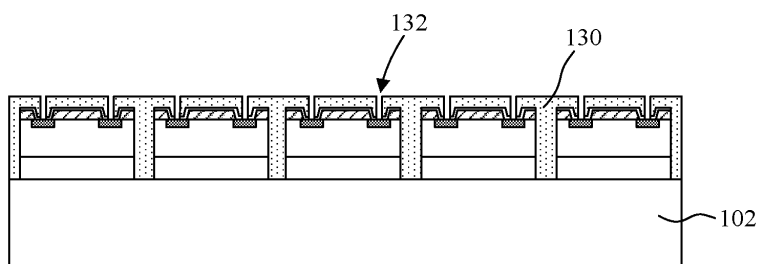
도면4



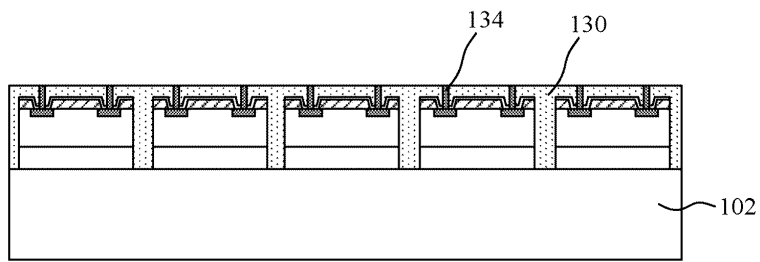
도면5



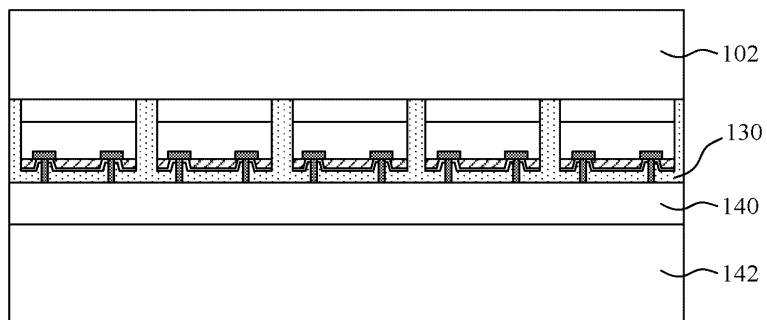
도면6



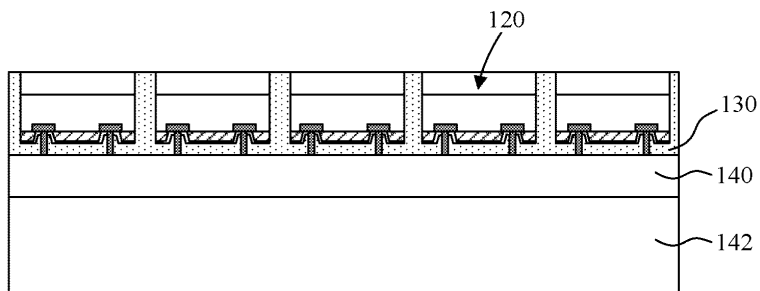
도면7



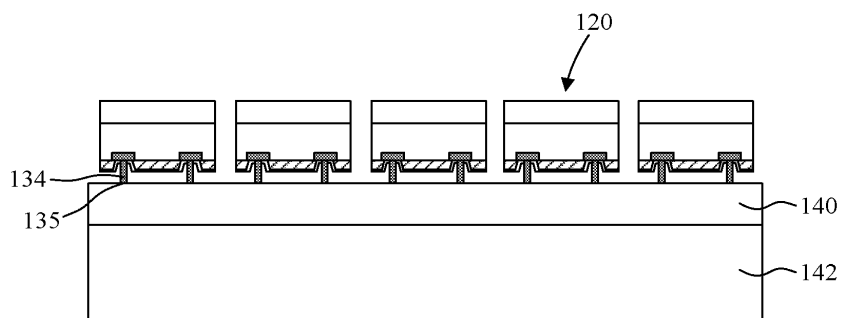
도면8



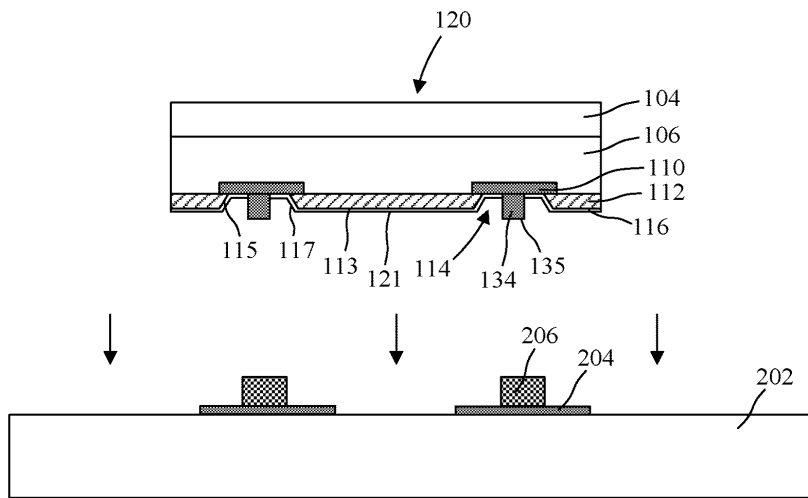
도면9



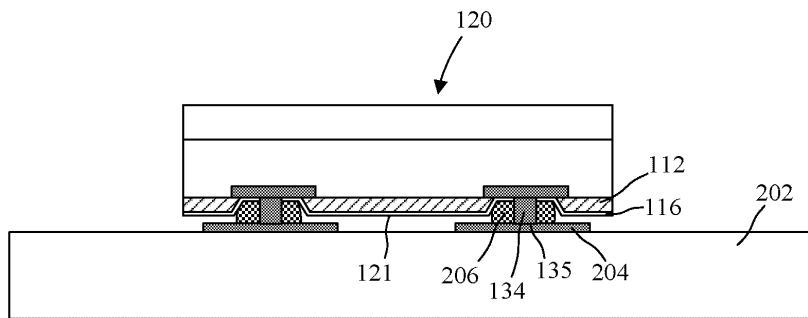
도면10



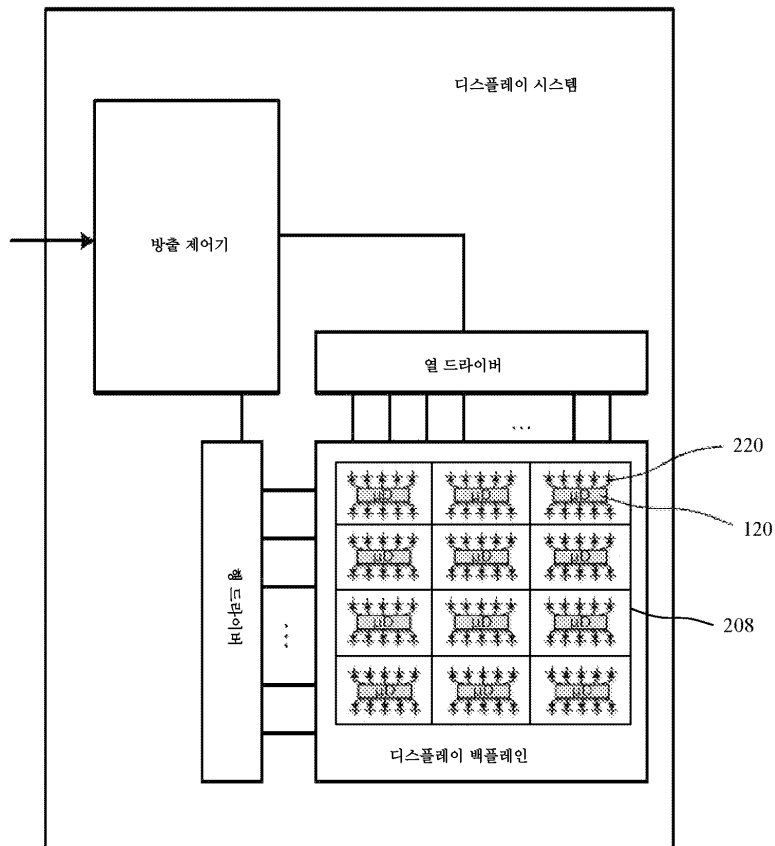
도면11



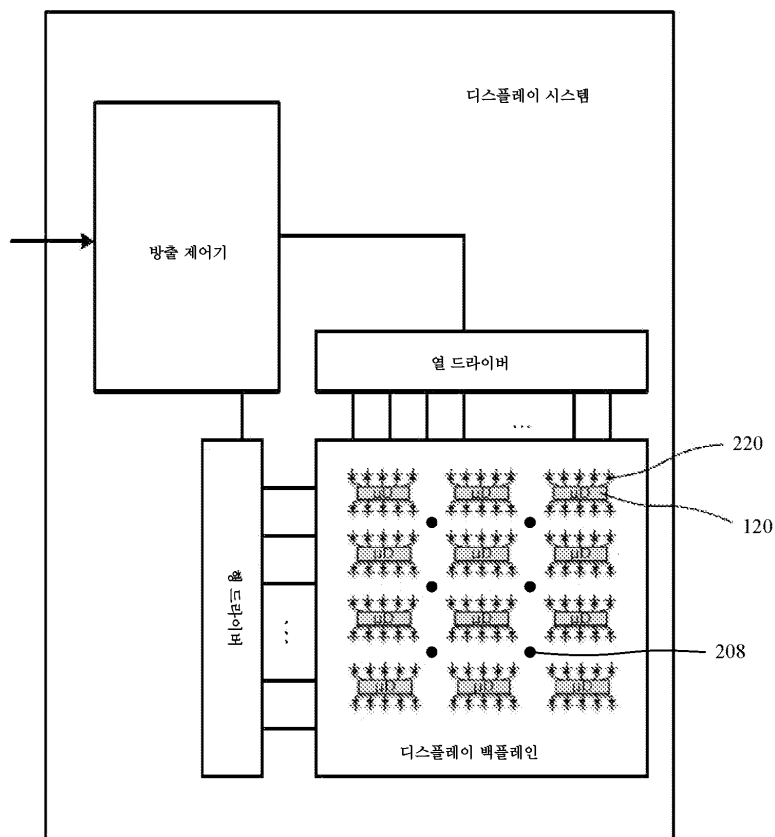
도면12



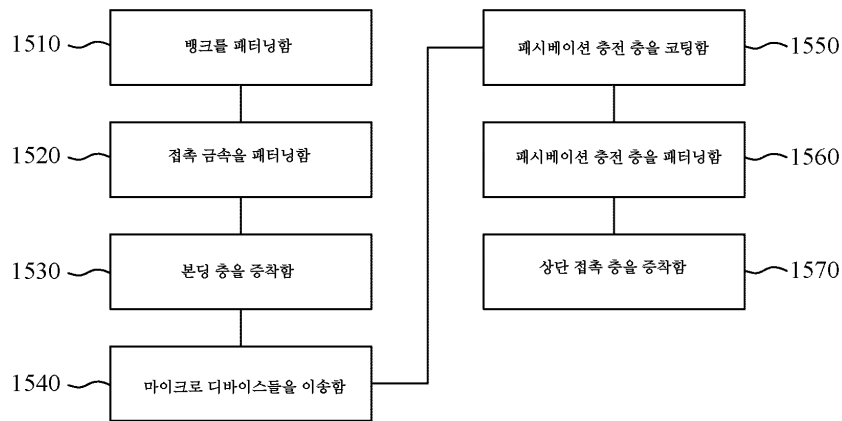
도면13



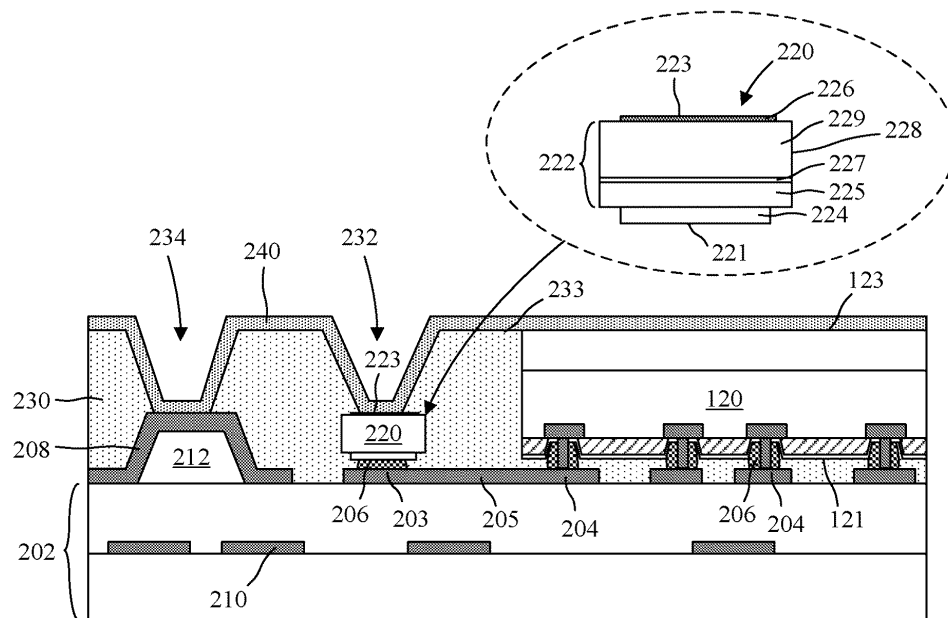
도면14



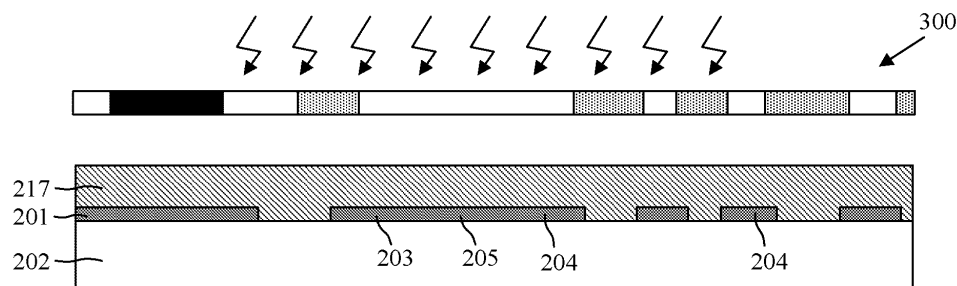
도면15



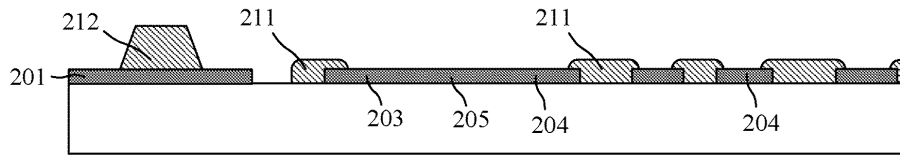
도면16



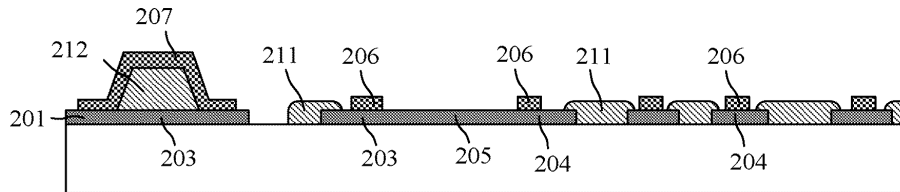
도면17



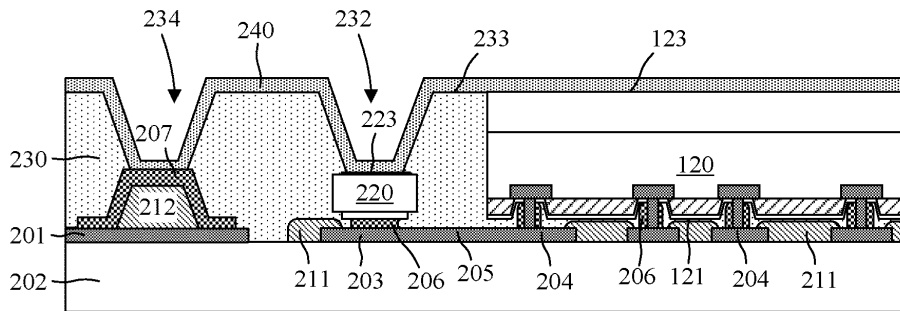
도면18



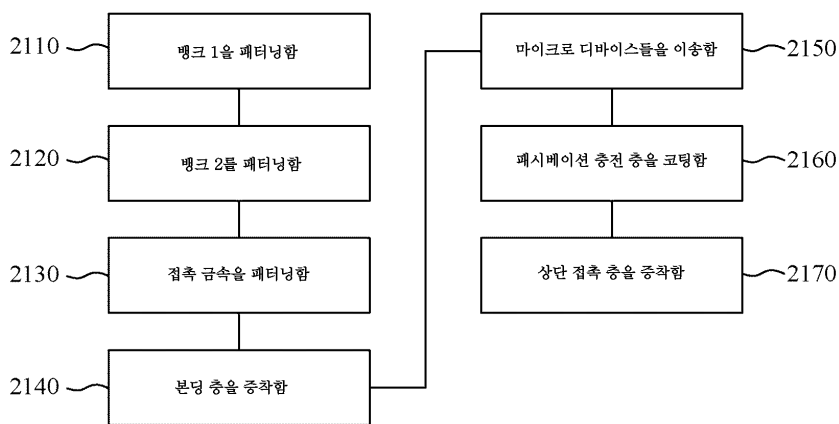
도면19



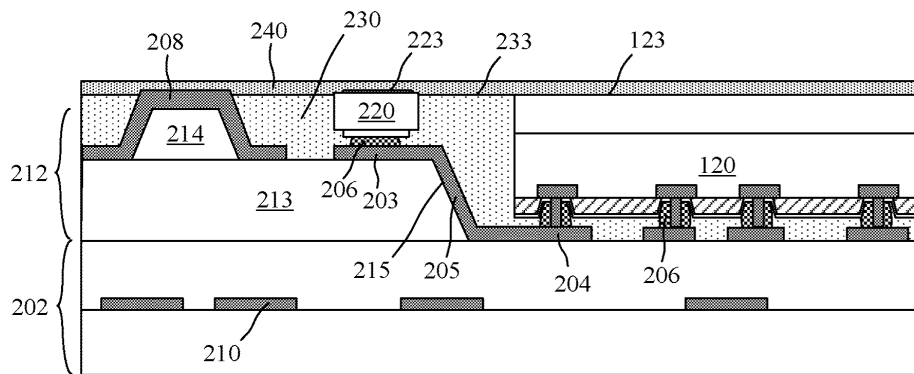
도면20



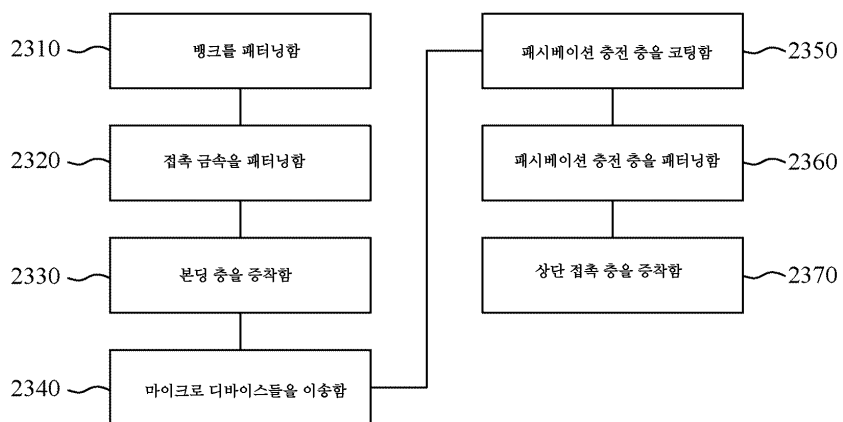
도면21



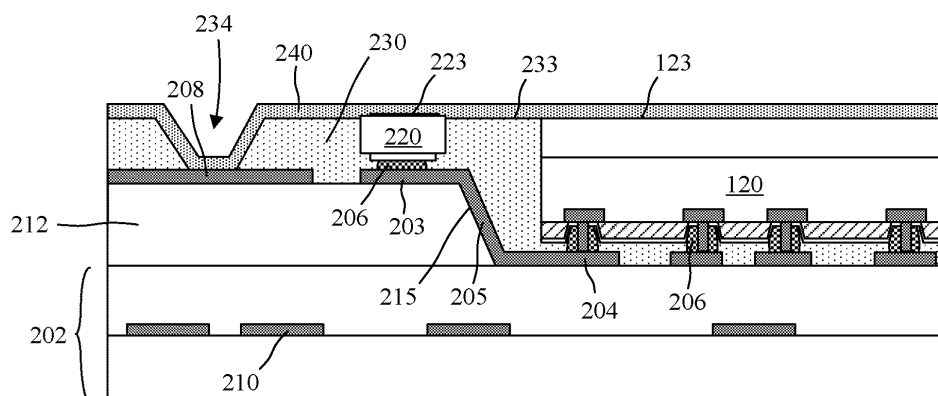
도면22



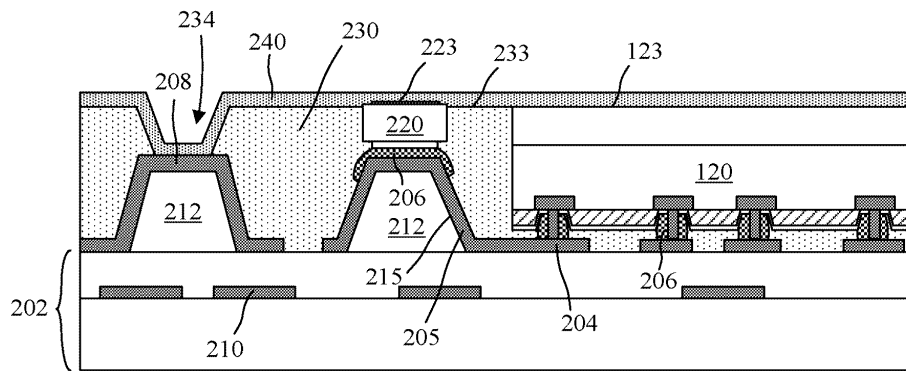
도면23



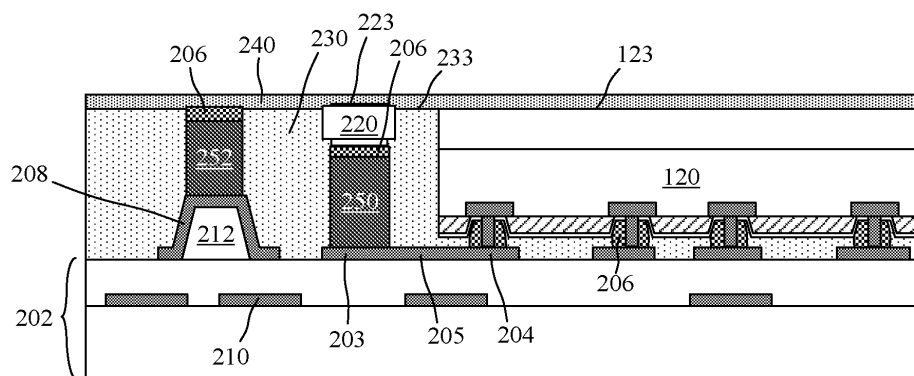
도면24



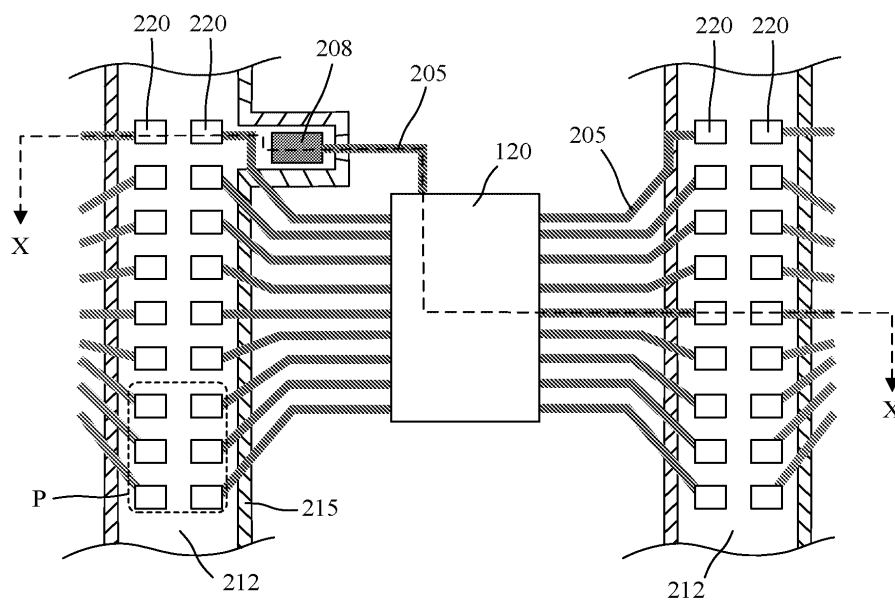
도면25



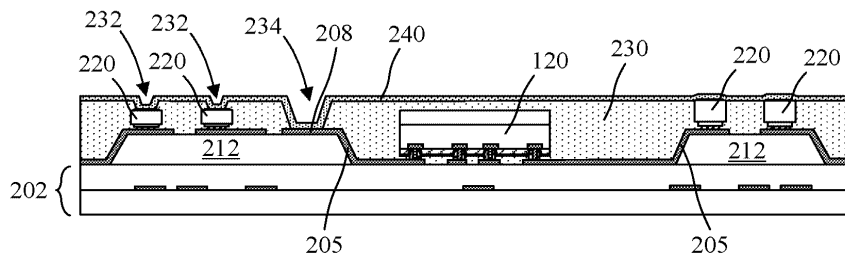
도면26



도면27a



도면27b



专利名称(译)	用于微型驱动器和微型LED的背板架构和工艺		
公开(公告)号	KR1020180103093A	公开(公告)日	2018-09-18
申请号	KR1020187022743	申请日	2017-02-10
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
[标]发明人	HU HSIN HUA 후신후아 CHOI JAEIN 최재인 PEDDER JAMES E 페더제임스이 BITA ION 비타이온 TANG HAIRONG 탕하이룽 HSU CHIN WEI 수친웨이 CHALASANI SANDEEP 칼라사니산디프 CHEN CHIH LEI 천치레이 KANG SUNGGU 강성구 ONO SHINYA 오노신야 HUANG JUNG YEN 후앙중옌 TSAI LUN 차이룬		
发明人	후, 신후아 최, 재인 페더, 제임스이. 비타, 이온 탕, 하이룽 수, 친웨이 칼라사니, 산디프 천, 치 레이 강, 성구 오노, 신야 후앙, 중옌 차이, 룬		
IPC分类号	H01L25/075 H01L23/00 H01L33/20 H01L33/36 H01L33/62		
CPC分类号	H01L25/0753 H01L33/20 H01L33/62 H01L33/36 H01L24/13 H01L23/3121 H01L23/3192 H01L24/11 H01L24/16 H01L24/81 H01L25/167 H01L2224/10145 H01L2224/11002 H01L2224/11464 H01L2224 /1147 H01L2224/13007 H01L2224/13021 H01L2224/13022 H01L2224/13083 H01L2224/131 H01L2224		

/13147 H01L2224/13155 H01L2224/1601 H01L2224/16112 H01L2224/16238 H01L2224/81193
H01L2224/81815 H01L2224/94 H01L2224/97 H01L2924/3841 H01L25/16 H01L2924/014 H01L2924
/00014 H01L2224/03 H01L2224/11 H01L24/95

代理人(译) Jangdeoksun
Baekmangi

优先权 62/297113 2016-02-18 US

外部链接 [Espacenet](https://www.espacenet.com/public/inventive/index.html?symbol=N&class=C&subclass=L&number=20160218US62297113)

摘要(译)

解释了微LED和微驱动器芯片集成方法。在一个实施例中，微驱动器芯片包括形成在微驱动器芯片的底表面中的多个沟槽，并且每个沟槽围绕在微驱动器芯片主体的底表面下部中扩展的导电螺柱。另外说明了粘合在显示基板中并与微驱动器芯片相邻的微LED和用于提供关于导电端子接触部分的电接触的集成方法。

